

数字电子技术基础

W.D.Gaster

2025 年 11 月

目录

1	逻辑代数基础	1
1.1	数制和码制	1
1.1.1	数制	1
1.1.2	码制	1
1.2	布尔代数	3
1.2.1	逻辑状态和逻辑运算	3
1.2.2	逻辑代数基本公式和定理	4
1.2.3	逻辑函数	5
2	门电路	7
2.1	二极管门电路	7
2.2	CMOS 门电路	8
2.2.1	CMOS 反相器	8
2.2.2	CMOS 反相器的静态特性	10
2.2.3	CMOS 反相器的动态特性	11
2.2.4	CMOS 与非门和或非门	12
2.2.5	漏极开路输出门电路（OD 门）	13
2.2.6	CMOS 传输门和三态门	14
2.3	TTL 门电路	15
2.3.1	TTL 反相器	16
2.3.2	TTL 反相器的静态特性	17
2.3.3	TTL 反相器的动态特性	18
2.3.4	TTL 复合逻辑门电路	20
2.3.5	集电极开路输出门电路（OC 门）	20
2.3.6	三态输出门电路（TS 门）	21
3	组合逻辑电路	22
3.1	分析与设计方法	22
3.1.1	分析方法	22
3.1.2	设计方法	22
3.2	常用的组合逻辑电路模块	22
3.2.1	编码器	22
3.2.2	译码器	25
3.2.3	数据选择器	26
3.2.4	数值比较器	27
3.2.5	加法器	29
3.3	组合逻辑电路的竞争-冒险	31
3.3.1	竞争-冒险现象	31
3.3.2	竞争-冒险现象的判定和消除	31

4	半导体存储电路	32
4.1	SR 锁存器	32
4.2	触发器	33
4.2.1	电平触发的触发器	33
4.2.2	边沿触发的触发器	35
4.2.3	脉冲触发的触发器	36
4.2.4	常用的触发器	38
4.3	寄存器	39
4.4	存储器	39
4.4.1	静态随机存储器 SRAM	40
4.4.2	只读存储器 ROM	41
4.4.3	存储器容量的扩展	42
4.4.4	用存储器实现逻辑函数	43
5	时序逻辑电路	44
5.1	分析方法	45
5.1.1	同步时序逻辑电路的分析方法	45
5.1.2	同步时序电路的表示方法	45
5.1.3	异步时序逻辑电路的分析方法	46
5.2	计数器	47
5.2.1	同步加法计数器	48
5.2.2	同步加减计数器	52
5.2.3	异步计数器	53
5.2.4	任意进制计数器的构成方法	55
5.2.5	顺序脉冲发生器	57
5.2.6	序列信号发生器	57
5.3	设计方法	57
5.3.1	同步时序逻辑电路的设计方法	57
5.3.2	异步时序逻辑电路的设计方法	58
5.4	时序逻辑电路的竞争-冒险现象	58
6	脉冲波形的产生和整形电路	59
6.1	555 定时器	59
6.2	施密特触发电路	60
6.2.1	施密特触发电路的结构和原理	60
6.2.2	用门电路组成的施密特触发电路	61
6.2.3	用 555 定时器接成的施密特触发电路	62
6.2.4	施密特触发电路的应用	62
6.3	单稳态电路	62
6.3.1	门电路组成的单稳态电路	62
6.3.2	集成单稳态电路	66
6.3.3	用 555 定时器接成的单稳态电路	67

6.4	多谐振荡电路	68
6.4.1	对称式多谐振荡电路	68
6.4.2	非对称式多谐振荡电路	70
6.4.3	环形振荡电路	71
6.4.4	用施密特触发电路构成的多谐振荡电路	73
6.4.5	用 555 定时器接成的多谐振荡电路	74
7	D/A 和 A/D 转换	76
7.1	D/A 转换器	76
7.1.1	权电阻网络 D/A 转换器	76
7.1.2	倒 T 形电阻网络 D/A 转换器	77
7.1.3	转换精度与转换速度	77
7.2	A/D 转换器	78
7.2.1	基本原理	78
7.2.2	并联比较型的 A/D 转换器	79
7.2.3	逐次逼近型 A/D 转换器	79
7.2.4	转换精度和转换速度	80

1 逻辑代数基础

1.1 数制和码制

1.1.1 数制

数制： $D = \sum k_i \times N^i$

N 为计数的基数， k_i 为第 i 位的系数， N^i 为第 i 位的权。

常用的数值有二进制（Binary）、八进制（Octal）、十进制（Decimal）和十六进制（Hexadecimal），其中十六进制 10-15 用 A-F 或 a-f 表示。

补码和反码

对于有效数字为 n 位的二进制数 N ，它的补码为

$$N_{\text{COMP}} = \begin{cases} N, & N > 0 \\ 2^n - N, & N < 0 \end{cases}$$

它的反码为

$$N_{\text{INV}} = \begin{cases} N, & N > 0 \\ (2^n - 1) - N, & N < 0 \end{cases}$$

对于正数而言， $N = N_{\text{COMP}} = N_{\text{INV}}$ ，对于负数而言 N_{INV} 是将 N 按位取反得到的，且 $N_{\text{COMP}} = N_{\text{INV}} + 1$ ，因此可以用反码规避掉减法运算。

用补码运算可以规避掉减法运算时符号的判定，将所有运算都转变为简单的加法运算。

1.1.2 码制

十进制代码

十进制数需要 4 位二进制码来表示，但是四位二进制码有 16 个数，是富余的，因此需要选择其中 10 个四位二进制码与十进制的 0-9 对应。

表 1: 几种常见的十进制代码

十进制数	8421 码	余 3 码	2421 码	5211 码	余 3 循环码
0	0000	0011	0000	0000	0010
1	0001	0100	0001	0001	0110
2	0010	0101	0010	0100	0111
3	0011	0110	0011	0101	0101
4	0100	0111	0100	0111	0100
5	0101	1000	1011	1000	1100
6	0110	1001	1100	1001	1101
7	0111	1010	1101	1100	1111
8	1000	1011	1110	1101	1110
9	1001	1100	1111	1111	1010
权	8421		2421	5211	

8421 码又称 BCD 码，将四位二进制码转换为十进制数即是对应的十进制数。各位权重为 8421，是恒权代码。

余 3 码的数值比十进制数多 3，两个余 3 码相加时比十进制数多 6，因此两数之和为 10 时正好对应余 3 码之和为 16，产生进位信号。0 和 9、1 和 8、2 和 7、3 和 6、4 和 5 的余 3 码互为反码。余 3 码不是一种恒权码制，各位数代表的权值不同。

2421 码是恒权代码，互余的数的 2421 码互为反码，与余 3 码类似。

5211 码是恒权代码，与 8421 码十进制计数器 4 个触发器输出脉冲的分频比 5:2:1:1 相对应。

余 3 循环码是一种变权码，特点是相邻的两个代码之间仅有一位状态不同。

格雷码

表 2: 4 位格雷码与二进制代码的比较

编码顺序	二进制代码	格雷码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

格雷（Gray）码又称循环码，特点是每一位状态都按一定顺序循环，相邻两个代码之间只有一位发生变化，不会产生过渡噪声。上面提及的余 3 循环码就是一种格雷码。

格雷码的优点是相邻代码只有一位发生变化，代码转换过程中不会产生过渡噪声，避免竞争-冒险问题。

美国信息交换标准代码

美国信息交换标准代码（American Standard Code for Information Interchange，简称 ASCII 码），是由美国国家标准化协会（ANSI）指定的一种信息代码，是一组 7 位二进制码，共 128 个，包括表示 0-9 的 10 个代码、表示大小写英文字母的 52 个代码、表示各种符号的 32 个代码和 34 个控制码。

表 3: 美国信息交换标准代码（ASCII 码）

$b_4b_3b_2b_1$	$b_7b_6b_5$							
	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	\	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	_	o	DEL

1.2 布尔代数

1.2.1 逻辑状态和逻辑运算

逻辑状态用 0 和 1 表示。基本运算为与（AND）、或（OR）、非（NOT）三种。

逻辑与表示只有决定事物结果的全部条件同时具备时结果才发生，也称逻辑相乘，记作 $Y = A \cdot B = AB$ ，将实现对应运算的单元电路称为与门。

逻辑或表示在决定事物结果的诸条件只有由任何一个满足，结果就会发生，也称逻辑相加，记作 $Y = A + B$ ，将实现对应运算的单元电路称为或门。

逻辑非表示只要条件具备了结果就不会发生，而条件不具备时结果一定发生，也称逻辑求反，记作 $Y = A'$ ，也有记作 $\bar{A}, \sim A, \neg A$ 的，将实现对应运算的单元电路称为非门（或反相器）。

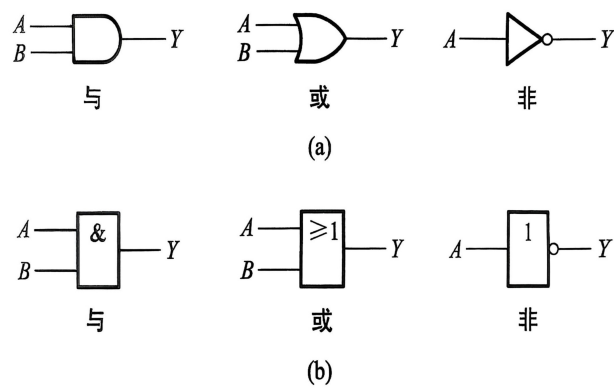


图 1.1: 基本逻辑运算

复合逻辑运算包括与非（NAND）、或非（NOR）、与或非（AND-NOR）、异或（EXCLUSIVE OR）和同或（EXCLUSIVE NOR）。

与非只有在条件同时为真时结果为假，记作 $Y = (AB)'$ 。或非只有在条件同时为假时结果为真，记作 $Y = (A + B)'$ 。与或非只有在 AB 和 CD 的输入都不全是真时结果才为真，记作 $Y = (AB + CD)'$ 。

异或在输入不同时结果为真，输入相同时结果为假，记作 $Y = A \oplus B = AB' + A'B$ 。同或在输入相同时结果为真，输入不同时结果为假，记作 $Y = A \odot B = AB + A'B' = (A \oplus B)'$ ，是异或的反运算。

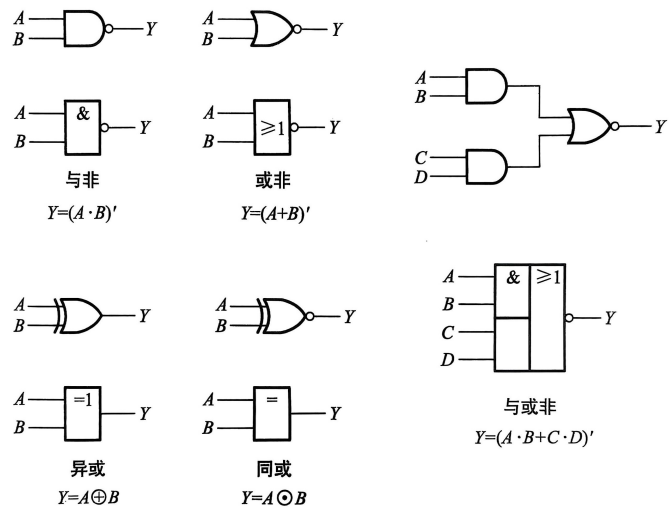


图 1.2: 复合逻辑运算

1.2.2 逻辑代数基本公式和定理

表 4: 逻辑代数基本公式

逻辑与相关	逻辑或相关	意义
$0 \cdot A = 0$	$1 + A = 1$	变量与常量的运算
$1 \cdot A = A$	$0 + A = A$	
$A \cdot A = A$	$A + A = A$	重叠律
$A \cdot A' = 0$	$A + A' = 1$	互补律
$A \cdot B = B \cdot A$	$A + B = B + A$	交换律
$A \cdot (B \cdot C) = (A \cdot B) \cdot C$	$A + (B + C) = (A + B) + C$	结合律
$A \cdot (B + C) = A \cdot B + A \cdot C$	$A + (B \cdot C) = (A + B) \cdot (A + C)$	分配律
$(A \cdot B)' = A' + B'$	$(A + B)' = A' \cdot B'$	反演律，德摩根律 (De.Morgan)
$(A')' = A$		还原律
$1' = 0, 0' = 1$		常量求反运算

表 5: 基本公式的导出公式

公式	作用
$A + AB = A, A(A + B) = A$	吸收公式
$A + A'B = A + B$	消因子公式
$AB + AB' = A$	并项公式
$AB + A'C + BC = AB + A'C, AB + A'C + BCD = AB + A'C$	消项公式

代入定理：在任何一个包含变量 A 的逻辑等式中，以另一个逻辑式代入所有 A 的位置，等式依然成立。

反演定理：对于任一逻辑式 Y ，将其中 $\cdot$ 换成 $+$ ， $+$ 换成 $\cdot$ ， 0 换成 1 ， 1 换成 0 ，原变量换成反变量，反变量换成原变量，得到的就是 Y' 。

对偶定理：对偶式是将逻辑式中的 $\cdot$ 换成 $+$ ， $+$ 换成 $\cdot$ ， 0 换成 1 ， 1 换成 0 ，得到的新的逻辑式。两逻辑式相等，则它们的对偶式也相等。

1.2.3 逻辑函数

以逻辑变量作为输出、以其运算结果作为输出的函数关系， $Y = F(A, B, C, \dots)$ 。

逻辑函数的描述方式

- 真值表：将输入变量所有取值对应的输出值列成表格。
- 逻辑函数式：将输出与输入之间的逻辑关系写成与或非等运算的逻辑代数式。
- 逻辑图：将各变量的与或非关系用图形符号表示出来。
- 波形图：将逻辑函数输入变量的每种取值与对应的输出按时间顺序依次排列起来。
- 卡诺图：将最小项用小方块表示并使相邻最小项相邻排列所得到的方块图。
- 硬件描述语言：使用专门的硬件描述语言 HDL 编程，使用 PLD 开发软件进行电路设计描述。

逻辑函数的标准形式

在 n 变量逻辑函数中， m 为包含 n 个因子的乘积项，且 n 个变量均以原变量或反变量形式出现一次，则称 m 为该组变量的最小项。将使最小项取值为 1 的二进制数所对应的十进制数作为下标，例如 $AB'C$ 二进制数为 101 ，因此十进制数为 5 ，记作 m_5 。

输入变量任何取值必有一个最小项且仅有一个最小项取值为 1 。全体最小项之和为 1 。任意两个最小项之积为零。具有相邻性的最小项之和可以合并成一项消去一个因子。

将给定的逻辑函数化为若干乘积项之和的形式，称为积之和（SOP）形式。再利用 $A + A' = 1$ 将乘积项中缺少的因子不全，将与或形式化为最小项之和的标准形式。

在 n 变量逻辑函数中， M 为 n 个因子之和，且 n 个变量均以原变量或反变量形式出现一次，则称 M 为该组变量的最大项。将使最大项取值为 1 的二进制数所对应的十进制数作为下标，例如 $A' + B + C'$ 二进制数为 101 ，因此十进制数为 5 ，记作 M_5 。

输入变量任何取值必有一个最大项且仅有一个最大项取值为 0 。全体最大项之积为 0 。任意两个最大项之和为 1 。只有一个变量不同的最大项之积等于各相同变量之和。

将任何一个逻辑函数式化为或与形式，即和之积的形式，再利用 $AA' = 0$ 将缺少的变量补齐，即可将或与式化为最大项之积的形式。

卡诺图化简法

卡诺图 (Karnaugh Map): 将 n 变量的全部最小项各用一个小方块表示，并使具有逻辑相邻性的最小项在几何位置上相邻排列，所得到的方块图。

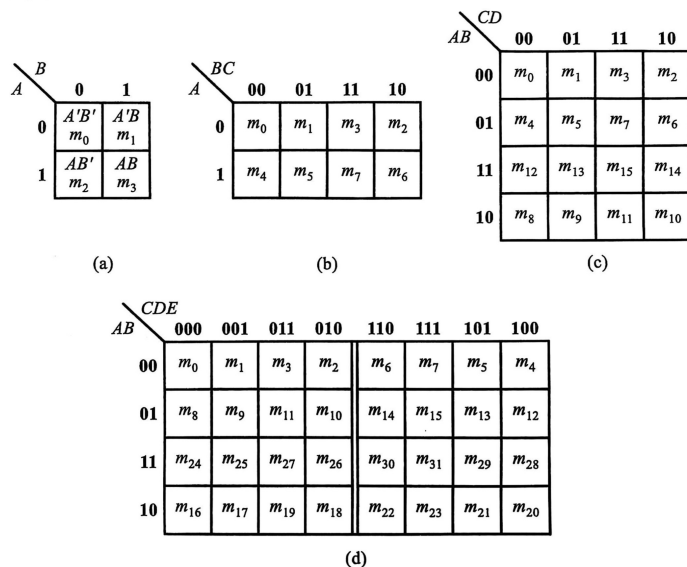


图 1.3: 二到五变量的卡诺图

卡诺图中的最小项不能按自然二进制排列，而需要按格雷码顺序排列，这样才具有逻辑相邻性。

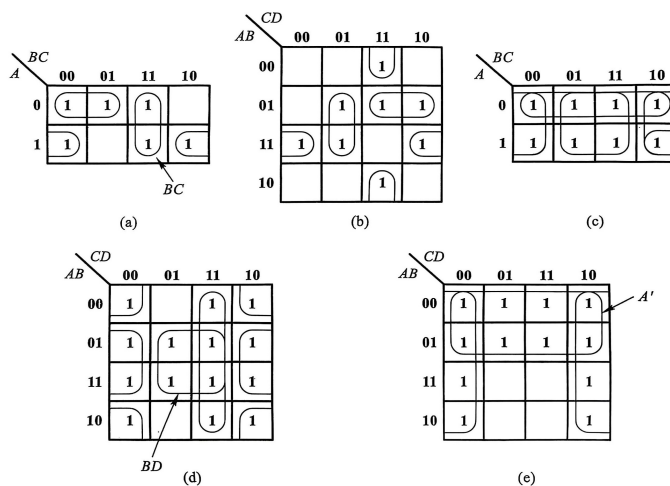


图 1.4: 最小项相邻的几种情况

两个相邻最小项可以合并为一项消去一对因子，只剩下公共因子。四个最小项可以消去两对因子。八个最小项可以消去三对因子。选取原则为：所用乘积数目最少，即矩形组数目最少，且每个乘积项包含的因子最少，即每个可合并矩形组应包含尽量多的最小项。

具有无关项的逻辑函数

包括约束项和任意项，约束项是有约束条件的最小项，任意项是取 1 取 0 不影响的最小项。一般用 $\times$ 或 $\emptyset$ 表示，在卡诺图中在对应无关项的位置可以填入 1 也可以填入 0。

2 门电路

用以实现基本逻辑运算和复合逻辑运算的单元电路称为门电路或逻辑门。门电路是数字集成电路中最基本的逻辑单元。常用的逻辑门有与门、或门、非门、与非门、或非门、与或非门、异或门等几种。

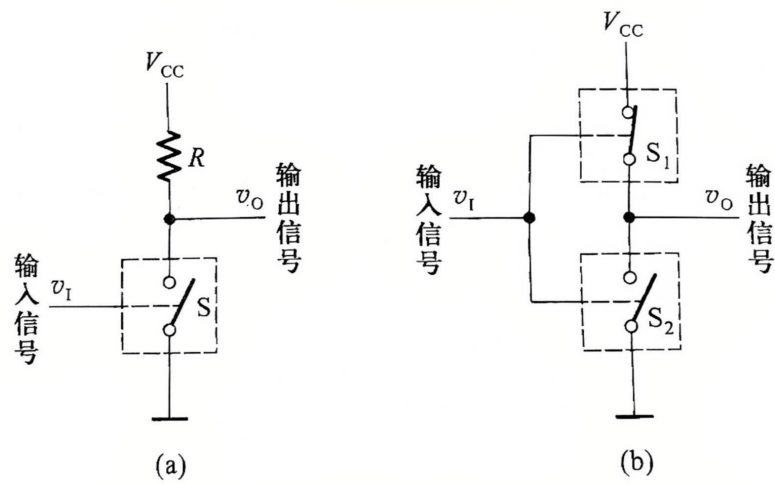


图 2.1: 基本开关电路

单开关电路中，开关 S 断开时，输出电压经过 R 上拉到高电平 V_{CC} ， S 接通后被下拉到低电平 0 。主要缺点是功耗较大，在 S 导通时电源电压全部加在电阻上。互补开关电路用另一个开关替代单开关电路的电阻，两个开关状态始终相反，当 S_2 接通、 S_1 关断时，输出低电平，当 S_1 接通、 S_2 关断时，输出高电平。互补开关电路开关总有一个是断开的，因此流过开关的电流始终为零，电路功耗小。

在电子电路中，常用高低电平表示二值逻辑的 0 和 1 两种状态。如果以高电平表示 1 、低电平表示 0 ，则为正逻辑；如果以高电平表示 0 、低电平表示 1 则为负逻辑。一般采用正逻辑。高低电平具有一定的允许范围，因此数字电路对稳定性和精度要求均低于模拟电路，运算精度通过增加数字信号位数来实现。

将数字电路的元器件制作在同一片硅片上，制成集成电路 IC。根据集成度的高低，可分为小规模集成电路 SSI（门电路 <10 个）、中规模集成电路 MSI（门电路 $10 \sim 100$ 个）、大规模集成电路 LSI（门电路 $100 \sim 10000$ 个）、超大规模集成电路 VLSI（门电路 $10000 \sim 100000$ 个）和甚大规模集成电路 ULSI（门电路 >100000 个）。

2.1 二极管门电路

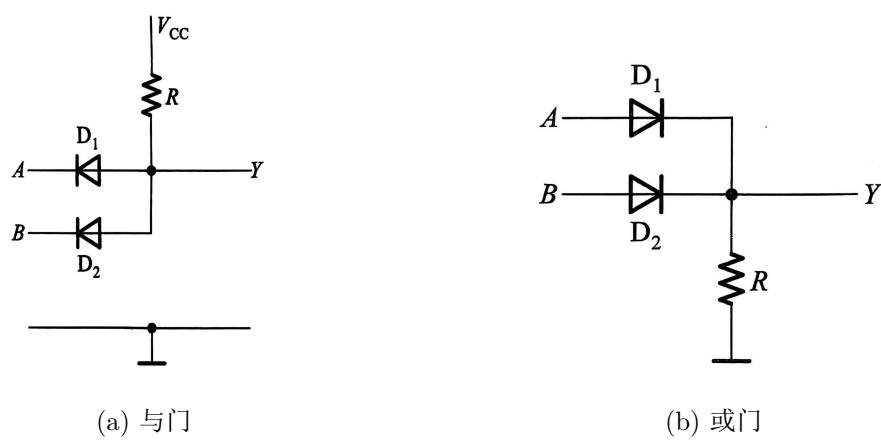


图 2.2: 二极管门电路

由于管压降，二极管与门的高电平为 3.7V，低电平为 0.7V，比标准高电平 3V 和低电平 0V 高一个二极管的导通压降 0.7V。而二极管或门高电平为 2.3V，比标准高电平 3V 低一个管压降 0.7V，低电平为 0V。因此二极管门电路级联使用时后级输入电平会发生偏移，且电平值会受到负载影响，不适合直接驱动负载电路。一般用于集成电路中的逻辑单元电路。

2.2 CMOS 门电路

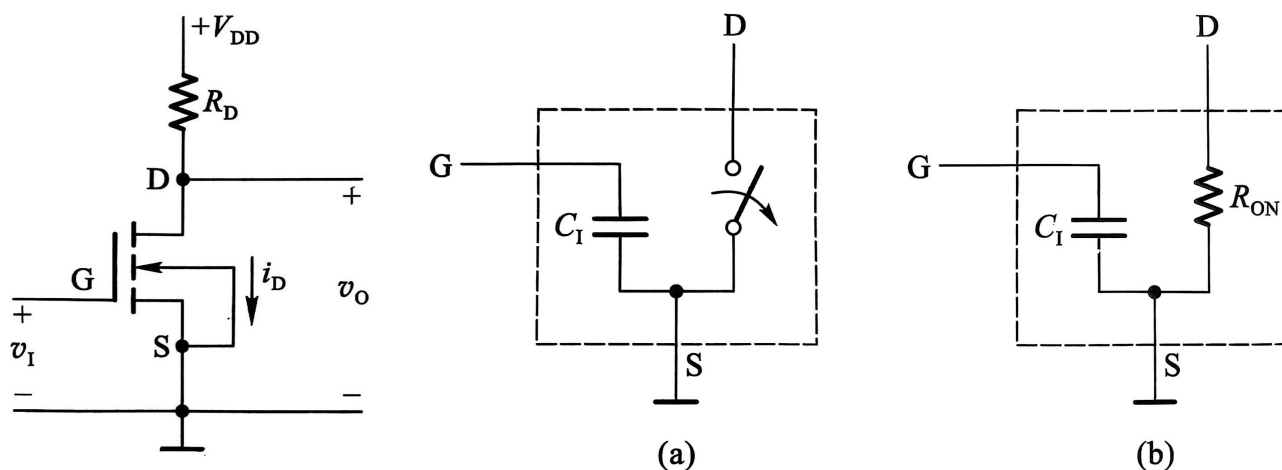


图 2.3: MOS 管基本开关电路

当 $v_I = v_{GS} < V_{GS(th)}$ 时，MOS 管截止，只要 $R_D \ll R_{OFF}$ ，输出即为高电平 $V_{OH} \approx V_{DD}$ 。 v_I 升高时，先工作在恒流区，输出电压随输入电压升高而下降，直到 MOS 管导通电阻很小， $R_D \gg R_{ON}$ ，输出即为低电平 $V_{OL} \approx 0$ 。

由于 MOS 的截止内阻很大，截止状态可以用开关代替，导通状态用导通内阻代替，电容 C_I 为栅极输入电容，因此输出电压变化会滞后于输入电压的变化。

2.2.1 CMOS 反相器

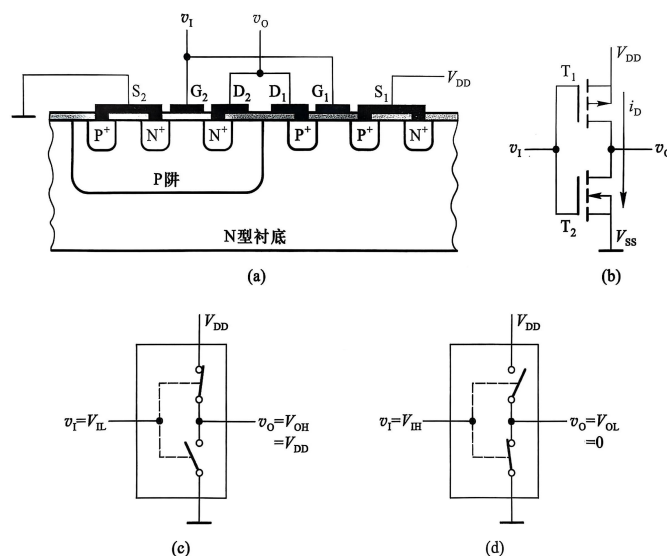


图 2.4: CMOS 反相器结构和等效电路

CMOS 反相器由两只特性完全对称 N 沟道增强型和 P 沟道增强型 MOS 管组成，栅极为输入电压。

令 $V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$ ，则 $v_I = V_{IL} = 0$ 时有

$$\begin{cases} |v_{GS1}| = V_{DD} > |V_{GS(th)P}| \\ v_{GS2} = 0 < V_{GS(th)N} \end{cases}$$

此时 T_1 导通而 T_2 截止，等效为 (c) 图，输出高电平 $V_{OH} \approx V_{DD}$

$v_I = V_{IH} = V_{DD}$ 时有

$$\begin{cases} v_{GS1} = 0 < |V_{GS(th)P}| \\ v_{GS2} = V_{DD} > V_{GS(th)N} \end{cases}$$

此时 T_1 截止而 T_2 导通，等效为 (d) 图，输出低电平 $V_{OL} \approx 0$

因此当输入高低电平时，必然有且仅有一个管子导通，即两个管子工作在互补状态。由于两个管子总有一个是截止的，且截止电阻极高，因此流过管子的静态电流极小，静态功耗极小。

电压传输特性

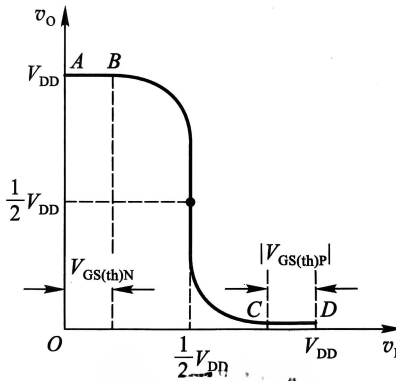


图 2.5: 电压传输特性

AB 段：输入低电平，上管导通，下管截止，输出高电平；CD 段：输入高电平，上管截止，下管导通，输出低电平。

BC 段：两管同时导通，但是电阻不同，两管内阻分压决定输出，当 $v_I = \frac{1}{2}V_{DD}$ 时，两管内阻相等， $v_O = \frac{1}{2}V_{DD}$ 。将电压传输特性转折区中点对应的输入电压称为阈值电压，因此 CMOS 反相器的 $V_{TH} = \frac{1}{2}V_{DD}$ 。

电流传输特性

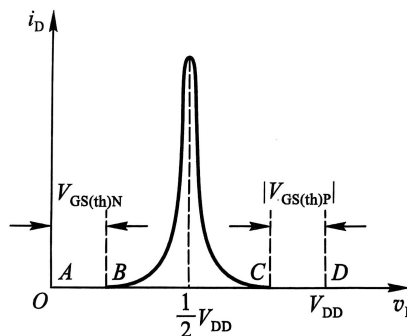


图 2.6: 电流传输特性

当两管同时导通时才有电流通过两管，因此 BC 段有电流流过，且当 $v_I = V_{DD}$ 时，电阻最小，电流最大。因此 CMOS 反相器不应长期工作在 BC 段，防止器件功耗过大损坏。

输入端噪声容限

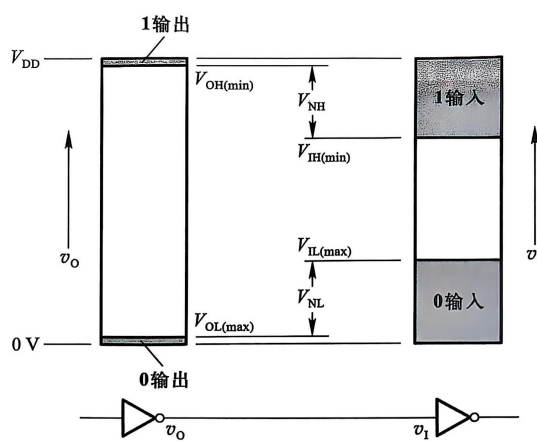


图 3.3.14 输入端噪声容限示意图

图 2.7: 噪声容限示意图

$$V_{NH} = V_{OH(min)} - V_{IH(min)}, V_{NL} = V_{IL(max)} - V_{OL(max)}$$

前级最低质量输出和后级最低质量输入的差值即为容许噪声值。容许噪声与 V_{DD} 有关，具体关系见下图所示。

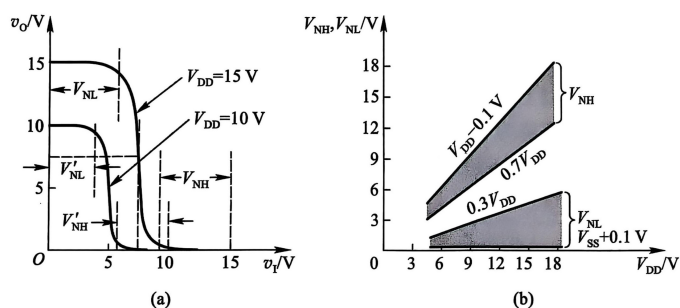


图 2.8: 输入噪声容限

2.2.2 CMOS 反相器的静态特性

静态输入特性

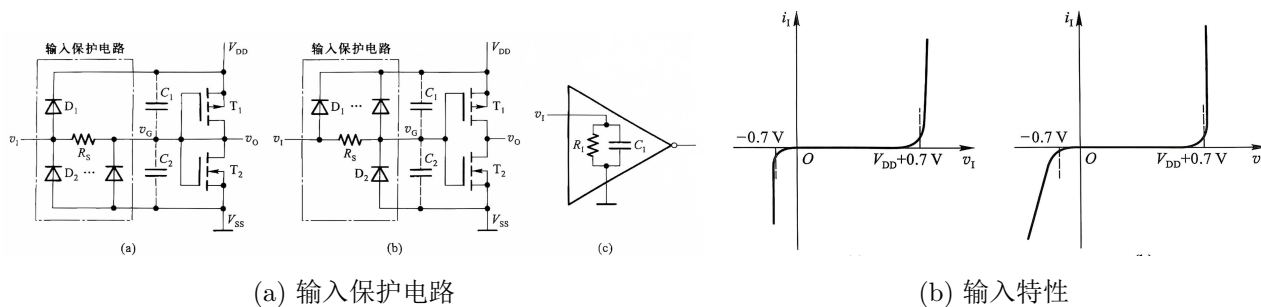


图 2.9: CMOS 反相器的静态输入特性

由于 MOS 管栅极和衬底之间的介质非常薄，极易被击穿，因此需要采取保护措施防止发生静电放电而损坏。CMOS 反相器的输入特性完全由外接二极管决定，即静态输入特性为二极管的伏安特性。

静态输出特性

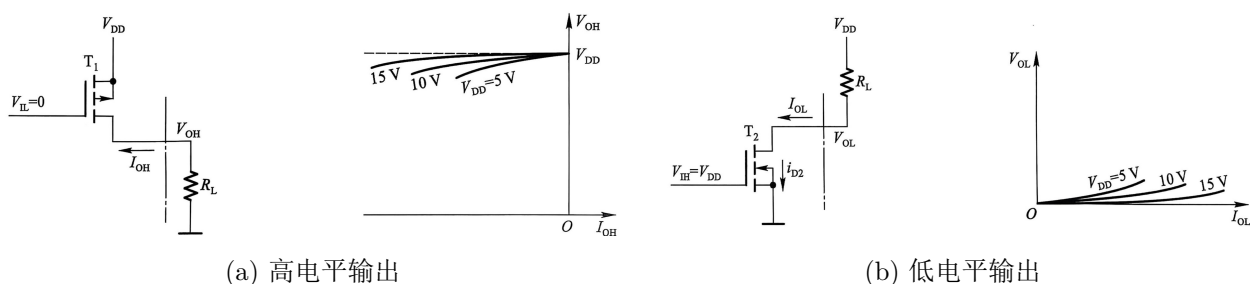


图 2.10: 输出等效电路和输出特性

静态输出特性均为 MOS 管输出特性的一部分。低电平输出时，负载电流 I_{OL} 从负载电路注入 T_2 ，输出电平随 I_{OL} 增加而提高，实际上是 T_2 管漏极特性曲线。高电平输出时负载电流 I_{OH} 从门电路输出端流出，因此电流为负值，随着电流增加，导通压降增大，输出电平下降。

2.2.3 CMOS 反相器的动态特性

传输延迟时间

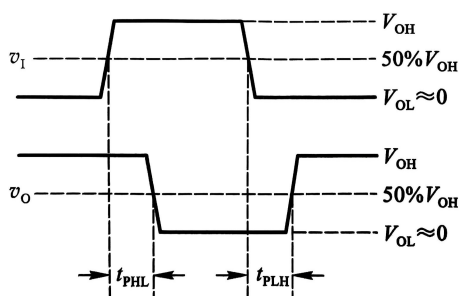


图 2.11: 延迟时间波形

传输延迟时间 t_{PHL} 和 t_{PLH} ，分别为波形上升和下降时间，平均值为 t_{pd} ，主要由负载电容充放电产生。

交流噪声容限

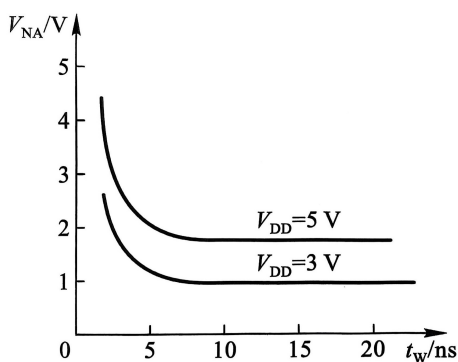


图 2.12: 交流噪声容限

由于负载电容存在, 输入信号状态变化时必须有足够的变化幅度和作用时间才能使输出改变状态, 当输入信号为窄脉冲时, 所需要的信号幅度远大于直流输入信号的幅度, 即交流噪声容限远大于直流噪声容限。且传输延迟时间越长, 交流噪声容限也越大。

动态功耗

动态功耗由两部分组成, 一部分是对电容充放电的功率 P_C , 另一部分是两个 MOS 管短时间同时导通的瞬时导通功耗 P_T 。 $P_D = (C_L + C_{PD})fV_{DD}^2$ 。

扇出

表示一个电路输出端能够驱动同类型负载电路输入端的数目。当驱动门输出从低电平切换到高电平时, 必须给所有负载门输入电容充电, 驱动门输出才能上升为高电平, 且需要保证持续时间能上升到负载输入高电平最小值以上。同样切换为低电平时也需要放电才能完成且需要保证能下降到输入低电平最大值以下。因此扇出与负载电容大小、高低电平持续时间(或切换频率)有关。

2.2.4 CMOS 与非门和或非门

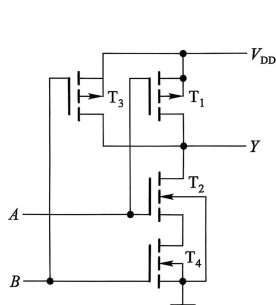


图 3.3.28 CMOS 与非门

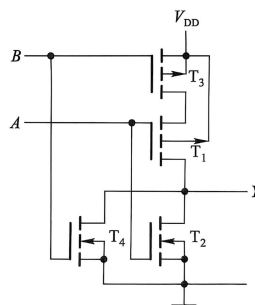


图 3.3.29 CMOS 或非门

图 2.13: CMOS 与非门和或非门

与非门由两个并联的接 V_{DD} 的 P 沟道增强型 MOS 管和两个串联的接 GND 的 N 沟道增强型 MOS 管组成, 因此只有当输入全为 1 时, 并联的同时截止且串联的同时导通输出才为 1。

或非门由两个并联的接 GND 的 N 沟道增强型 MOS 管和两个串联的接 V_{DD} 的 N 沟道增强型 MOS 管组成, 因此只有当输入全为 0 时, 并联的同时截止且串联的同时导通输出才为 1。

与非门的严重缺点是输出电阻受输入端状态影响, $A = B = 1$ 时 $R_O = R_{ON2} + R_{ON4} = 2R_{ON}$, $A = B = 0$ 时 $R_O = R_{ON1} // R_{ON3} = \frac{1}{2}R_{ON}$, $A = 1, B = 0$ 时 $R_O = R_{ON}$, $R_O = R_{ON3} = R_{ON}$, $A = 0, B = 1$ 时 $R_O = R_{ON1} = R_{ON}$ 。不同输入时输出电阻可以相差四倍。且输出的高低电平受输入端数目影响, 输出端数目越多, 串联驱动管数目越多, 输出低电平越高, 并联驱动管数目越多, 输出高电平也越高。

因此实用的与非门和或非门在输入输出端加入了一级反相器, 因此或非门加入反相器后构成了与非门, 与非门加入反相器后构成了或非门。输入输出的反相器称为缓冲器。实用的与非门和或非门为带缓冲级的与非门和或非门。结构如下所示。

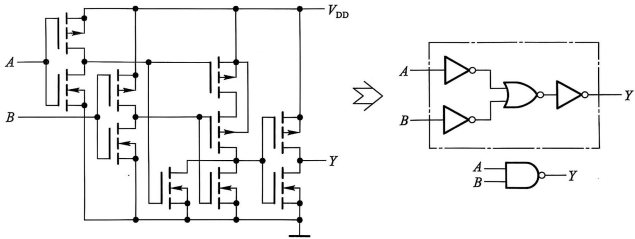


图 3.3.30 带缓冲级的 CMOS 与非门电路

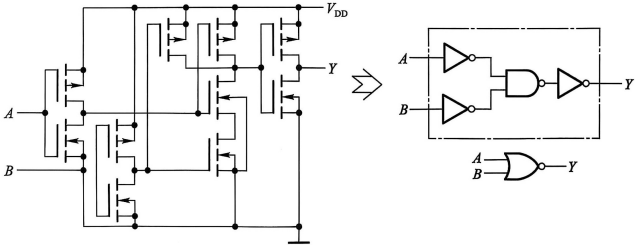


图 3.3.31 带缓冲级的 CMOS 或非门电路

图 2.14: 带缓冲级的 CMOS 与非门和或非门

2.2.5 漏极开路输出电路（OD 门）

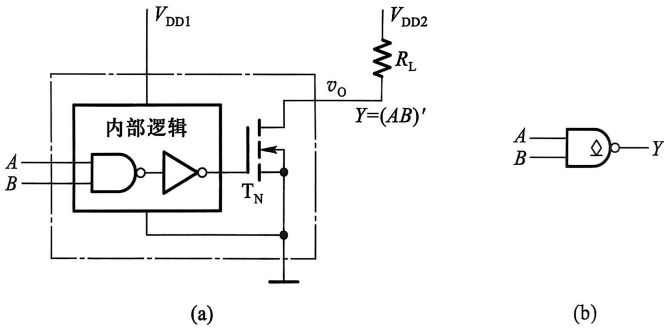


图 2.15: OD 门

漏极开路时，必须通过上拉电阻 R_L 接到电源才可以正常工作。可以实现电平标准的转换、吸收大负载电流和实现线与连接等需要。

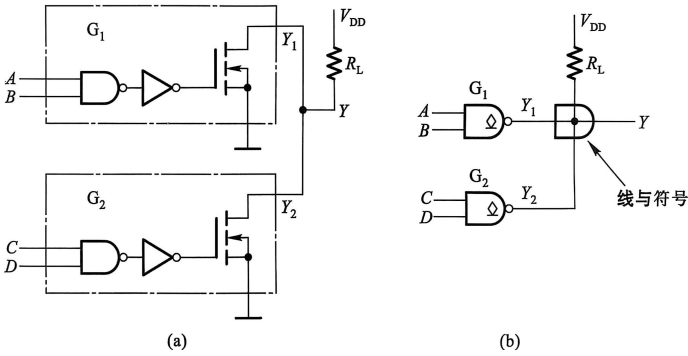


图 2.16: OD 门的线与逻辑

上拉电阻的计算

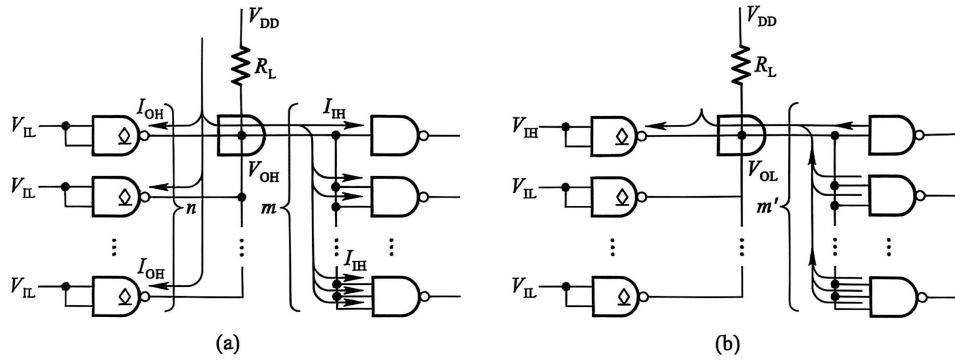


图 2.17: OD 门上拉电阻的计算

高电平时：保证输出电平大于最小高电平， $V_{DD} - (nI_{OH} + mI_{IH})R_L \geq V_{OH}$

低电平时：保证一个门的灌电流不超过最大输出电流， $(V_{DD} - V_{OL})/R_L + m'I_{IL} \leq I_{OL(max)}$

解得正常工作的上拉电阻需要满足

$$\frac{V_{DD} - V_{OL}}{I_{OL(max)} - m'I_{IL}} \leq R_L \leq \frac{V_{DD} - V_{OH}}{nI_{OH} + mI_{IH}}$$

2.2.6 CMOS 传输门和三态门

CMOS 传输门

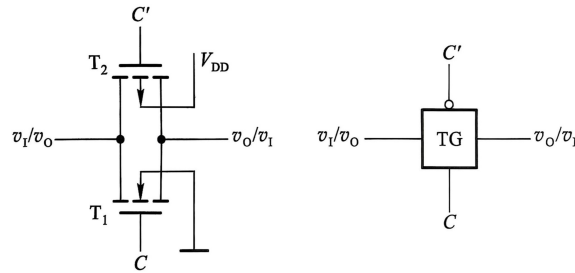


图 2.18: CMOS 传输门

传输门由特性相同的 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管构成，两管源极和漏极分别相连作为输入输出端，控制信号互补。C = 0 时，两管截止，呈现高阻态；C = 1 时，两管至少一个导通， $u_o = u_i$ 。由于 MOS 管源极和栅极是对称互易的，因此 CMOS 传输门属于双向器件，输入端和输出端可以互易使用。

CMOS 传输门可以构成各种复杂的逻辑电路。可以用作模拟开关，用来传输连续变化的模拟电压信号。

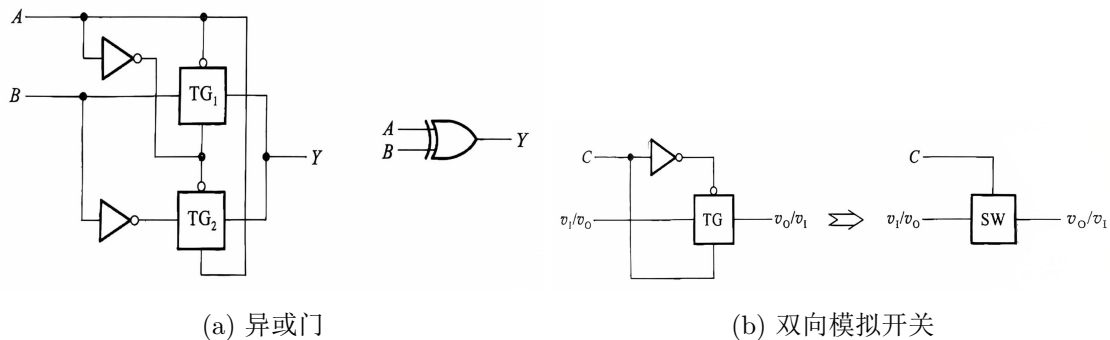


图 2.19: CMOS 传输门的应用

CMOS 三态门

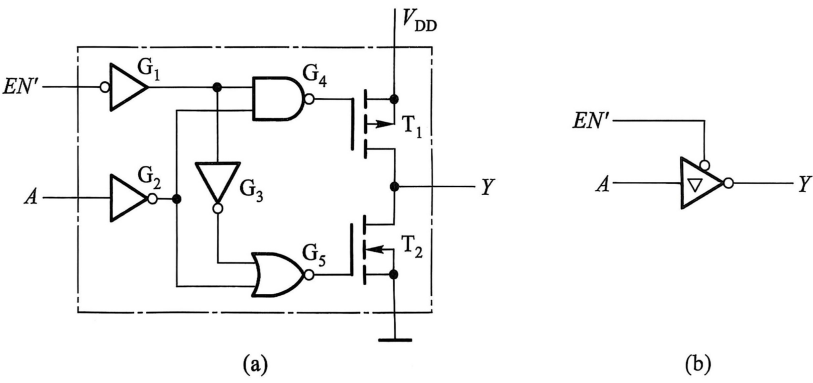


图 2.20: CMOS 三态门

$EN' = 1$ 时，输出高阻态 $Y = Z$ ； $EN' = 0$ 时， $Y = A'$
利用三态门可以接成总线结构和实现数据双向传输，常接在输出级做缓冲。

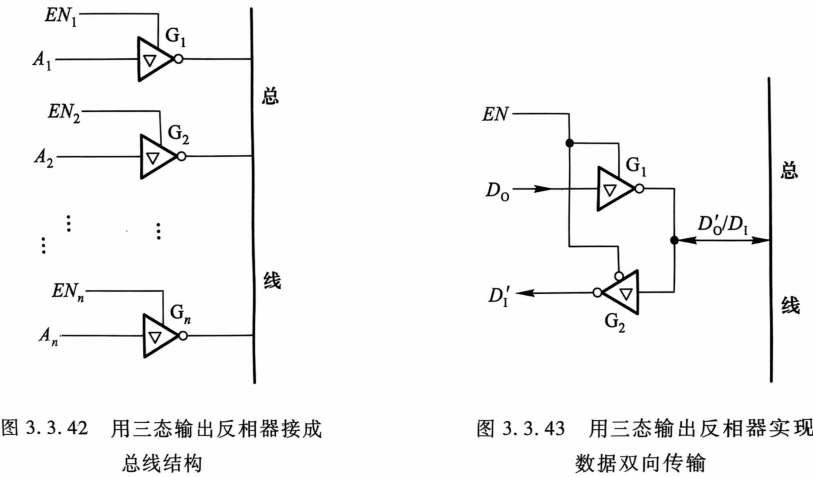
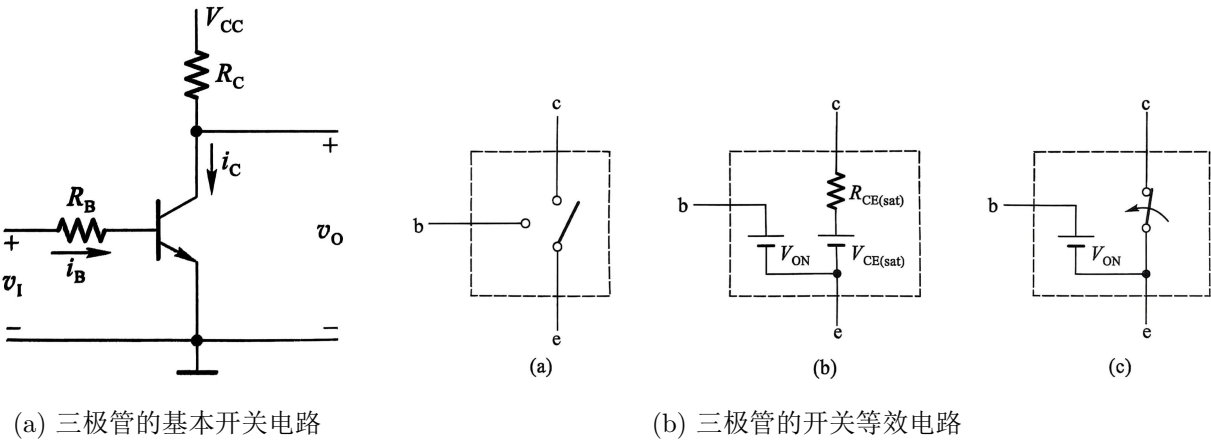


图 3.3.42 用三态输出反相器接成总线结构
图 3.3.43 用三态输出反相器实现数据双向传输

图 2.21: CMOS 三态门的应用

2.3 TTL 门电路



(a) 三极管的基本开关电路
(b) 三极管的开关等效电路

输入 $v_I = 0$ 时, $v_{BE} = 0$, 处于截止状态, $i_C \approx 0$, 则输出为高电平 $V_{OH} \approx V_{CC}$ 。当 $v_I > v_{on}$ 后, 有 i_B , 因此三极管进入放大状态, $v_O = V_{CC} - \beta i_B R_C$, 电压放大倍数 $A_v = -\frac{\Delta v_O}{\Delta v_I}$ 。继续增加电压, 当 R_C 的压降接近电源电压 V_{CC} 时, 三极管压降接近于零, 进入深度饱和状态, 输出低电平, $V_{OL} \approx 0$ 。深度饱和和所需要的基极电流为

$$I_{BS} = \frac{V_{CC} - V_{CE(sat)}}{\beta(R_C + R_{CE(sat)})} \approx \frac{V_{CC}}{\beta R_C}$$

2.3.1 TTL 反相器

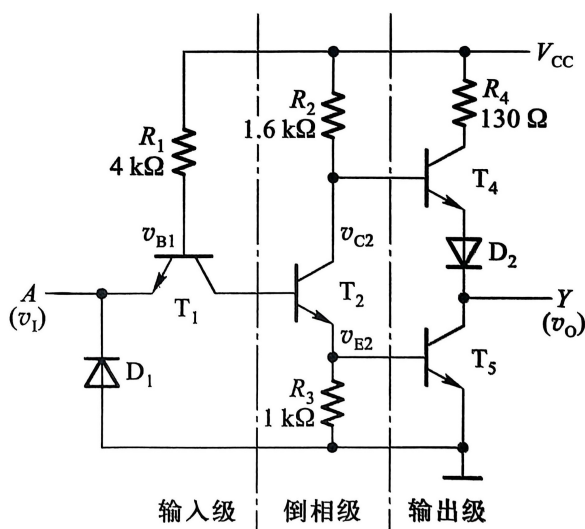


图 2.23: TTL 反相器

$v_I = V_{IL}$ 时, T_1 发射结导通, 基极钳位在 $v_{B1} = V_{IL} + V_{ON} = 0.9V$, T_2 发射结不导通, T_1 由于集电极回路电阻非常大处于深度饱和状态, 这时 T_1 集电极电流可以忽略不计。 T_2 截止后 v_{c2} 为高电平, v_{E2} 为低电平, 则 T_4 导通 T_5 截止, 输出高电平。

$v_I = V_{IH}$ 时, 不考虑 T_2 时有 $v_{B1} = V_{IH} + V_{ON} = 4.1V$, 则 T_2, T_5 必然导通, 而导通就会将 v_{B1} 钳位在 $2.1V$, T_2 导通使得 T_4 截止而 T_5 导通, 输出低电平。

T_2 输入和输出变化方向相反, 所以称为倒相级; T_4, T_5 一个导通一个截止, 推拉式输出 (也叫图腾柱输出), 降低静态功耗, 提高驱动负载能力。

电压传输特性

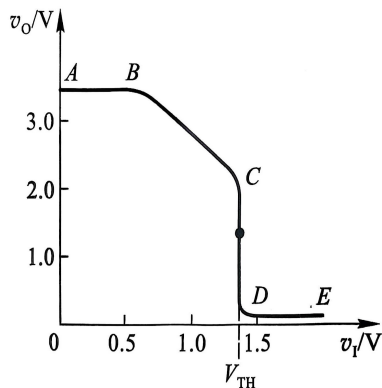


图 2.24: 电压传输特性

AB 段: 输入低电平, 上管导通, 下管截止, 输出高电平; DE 段: 输入高电平, 上管截止, 下管导通, 输出低电平。

BC 段: $v_I > 0.7V$ 且 $v_I < 1.3V$, T_2 导通的同时 T_5 截止, T_2 工作在放大区 v_o 随 v_I 的增大线性下降。

CD 段, $v_I = 1.4V$ 时, $v_{B1} = 2.1V$, T_2, T_5 同时导通, 输出点位急剧下降

2.3.2 TTL 反相器的静态特性

静态输入特性

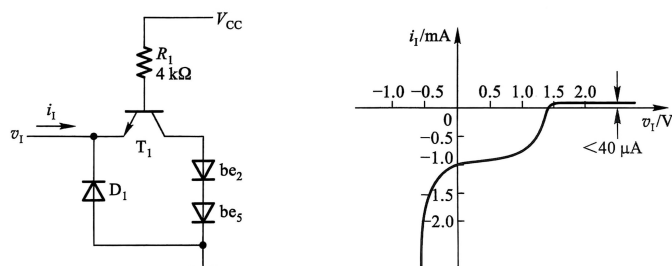


图 2.25: 静态输入特性

输入低电平时, $I_{IL} = -\frac{V_{CC} - v_{BE1} - V_{IL}}{R_1} \approx -1mA$ 。

输入高电平时, T_1 管子的集电极和发射极互换, 处于倒置状态, 此时放大倍数 β 极小, 因此输入电流很小。

静态输出特性

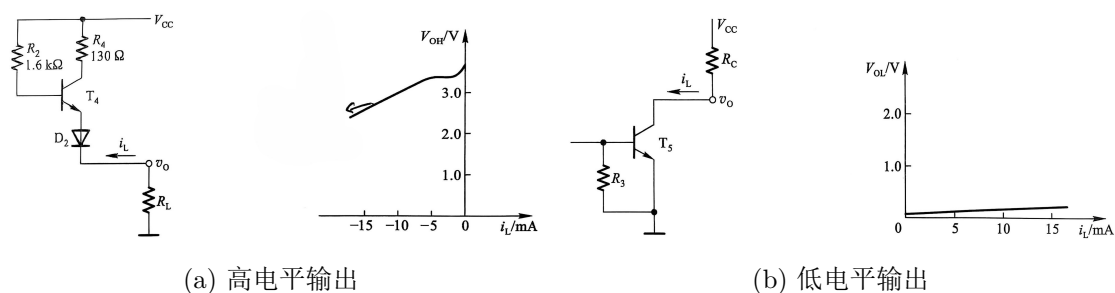


图 2.26: TTL 反相器的静态特性

输出高电平时, T_4 工作在放大状态, 电路输出电阻很小, 负载电流较小时, 影响较小。随着电流增加, R_4 压降增大, 将使 T_4 管集电结正偏饱和和导通, 此时失去射级跟随功能, 输出电压随电流线性下降。

输出低电平时, 由于 T_5 饱和和压降低, 故输出电压几乎不随输出电流的改变而改变, 仅略有线性增加。

输入端负载特性

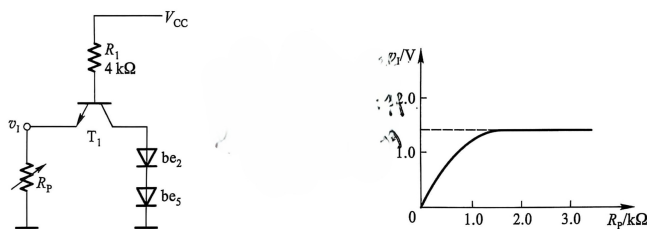


图 2.27: 输入负载特性

输入端串入电阻时, 电流流过电阻 R_p 会产生压降形成输入端电位, 当 $R_p \ll R_1$ 的条件下

$$v_I = \frac{R_P}{R_1 + R_P}(V_{CC} - v_{BE1})$$

当 v_I 上升到 1.4V 后, T_2, T_5 管同时导通, 将 v_{B1} 钳位在 2.1V, 此时不再遵守上述关系, 是一条趋于 1.4V 的水平线。一般当 $R_P \leq 0.7k\Omega$ 时, 构成低电平输入; $R_P \geq 1.5k\Omega$ 时, 构成高电平输入。

2.3.3 TTL 反相器的动态特性

传输延迟时间

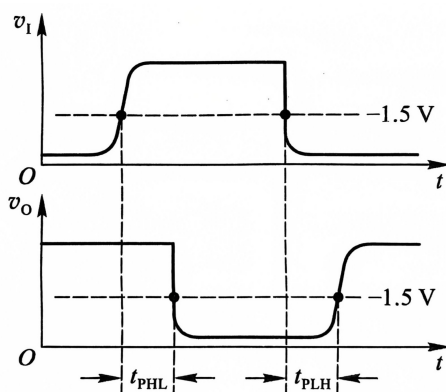


图 2.28: 延迟时间波形

传输延迟时间 t_{PHL} 和 t_{PLH} , 分别为波形上升和下降时间, 主要由半导体和负载的寄生电容充放电产生。由于输出级 T_5 管工作在深度饱和状态, 从导通转换为截止 (即输出由低电平跳变到高电平) 时的开关时间较长, t_{PLH} 略大于 t_{PHL} 。

交流噪声容限

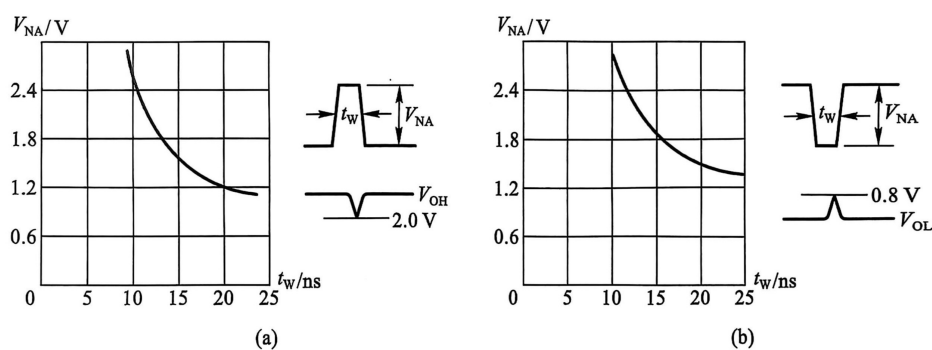


图 2.29: 交流噪声容限

由于寄生电容存在, 输入信号状态变化时必须有足够的变化幅度和作用时间才能使输出改变状态, 同样可以推得交流噪声容限远大于直流噪声容限。TTL 反相器交流噪声容限分为正脉冲噪声容限和负脉冲噪声容限, 这是由于上升和下降延迟时间不同 (即寄生参数不同) 造成的。

电源的动态尖峰电流

稳定状态下, 输出电平不同时 TTL 反相器电路从电源索取的电流大小不同。

低电平输出时电源电流

$$I_{CCL} = i_{B1} + i_{C2} = \frac{V_{CC} - v_{B1}}{R_1} + \frac{V_{CC} - v_{C2}}{R_2} = \left(\frac{5 - 2.1}{4 \times 10^3} + \frac{5 - 0.8}{1.6 \times 10^3} \right) \text{A} = 3.4 \text{mA}$$

高电平输出时电源电流

$$I_{CCH} = i_B = \frac{V_{CC} - v_{B1}}{R_1} = \frac{5 - 0.9}{4 \times 10^3} \text{A} = 1 \text{mA}$$

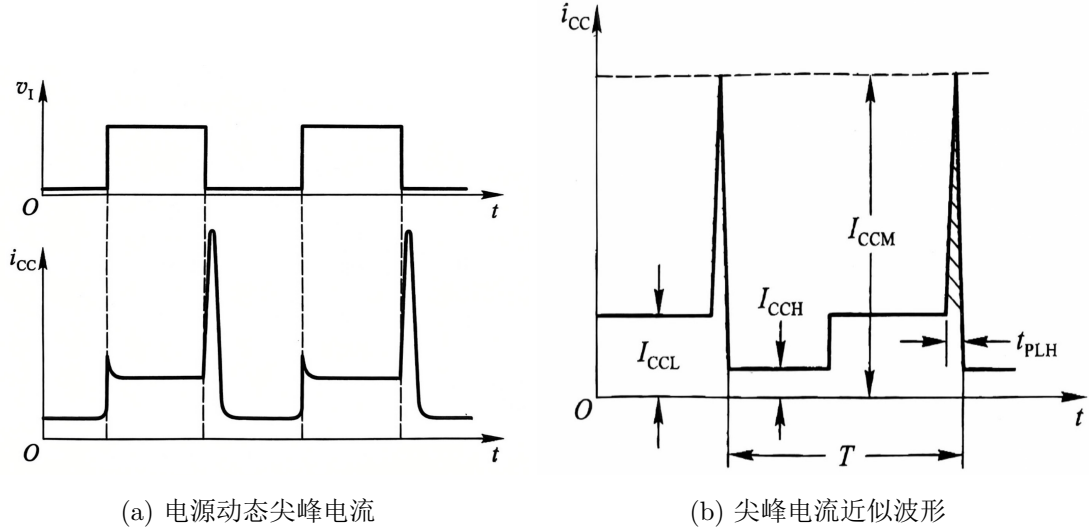


图 2.30: TTL 反相器电源的动态尖峰电流

动态情况下, 当输出电压由低电平跳变到高电平时, 由于 T_5 工作在深度饱和状态, 所以 T_4 导通必然先于 T_5 的截止, 会出现短时间 T_4, T_5 同时导通的情况, 有很大的瞬时电流流经 T_4, T_5 , 产生电源电流尖峰脉冲。最大瞬时电流为

$$\begin{aligned} I_{CCM} &= i_{C4} + i_{B4} + i_{B1} \\ &= \frac{V_{CC} - V_{CE(sat)4} - v_{D2} - V_{CE(sat)5}}{R_4} + \frac{V_{CC} - v_{BE4} - v_{D2} - V_{CE(sat)5}}{R_2} + \frac{V_{CC} - v_{B1}}{R_1} \\ &= \left(\frac{5 - 0.1 - 0.7 - 0.1}{130} + \frac{5 - 0.7 - 0.7 - 0.1}{1.6 \times 10^3} + \frac{5 - 0.9}{4 \times 10^3} \right) \text{A} = 34.7 \text{mA} \end{aligned}$$

电源尖峰电流使电源平均电流增加, 信号重复频率越高、门电路传输延迟时间 t_{PLH} 越长, 电流平均值增加越多。且当有很多门电路同时转换状态时, 电源的瞬时尖峰电流数值很大, 将通过电源线、地线和电源内阻形成一个噪声源。

计算尖峰电流的平均值时可以近似为三角波, 并认为持续时间为传输延迟时间 t_{PLH} , 如上图近似波形所示, 进行简化计算。

$$I_{CCAV} = \frac{1}{2}(I_{CCH} + I_{CCL}) + \frac{1}{2}ft_{PLH}(I_{CCM} - I_{CCL})$$

2.3.4 TTL 复合逻辑门电路

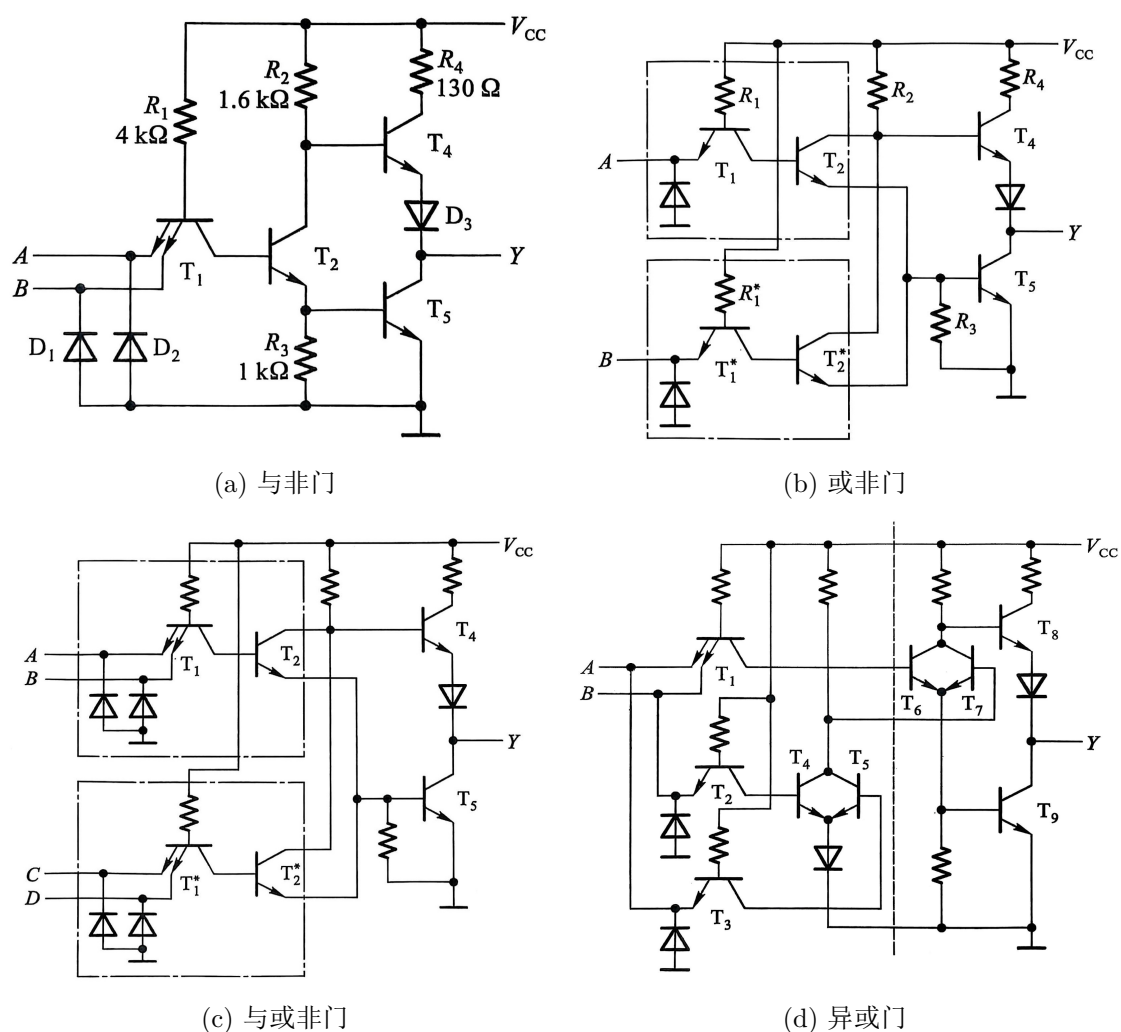


图 2.31: TTL 复合逻辑门电路

TTL 与非门采用多发射极结构，多发射极三极管共用基区和集电区，而在 P 型基区上制作了多个高掺杂的 N 型区发射极。可以简化认为多发射极三极管和 R_1 组成了一个与门。在输入低电平时只有一份输入电流，上拉电阻和扇出的计算都不同。

TTL 或非门采用将两个输入端分别接入三极管并将三极管输出端并联实现的。

TTL 与或非门是将 TTL 或非门的每个输入端都使用多发射极三极管实现的。

TTL 异或门， T_1 管实现 AB ， T_2, T_3 管和 T_4, T_5 管实现 $(A + B)' = A'B'$ ， T_6, T_7 实现或非，即 $Y = (AB + A'B')' = AB' + A'B$

2.3.5 集电极开路输出电路（OC 门）

推拉式输出的缺点是不能并联接成线与结构，若一个门输出高电平另一个门输出低电平，则会有很大的负载电流流入输出级损坏门电路。且推拉式输出电源确定后输出电平就确定了，无法实现电平转换和驱动大电流和高电压负载的需求。因此和 CMOS 门电路一样将 TTL 反相器改成集电极开路输出的 OC 门就可以实现上述需求。

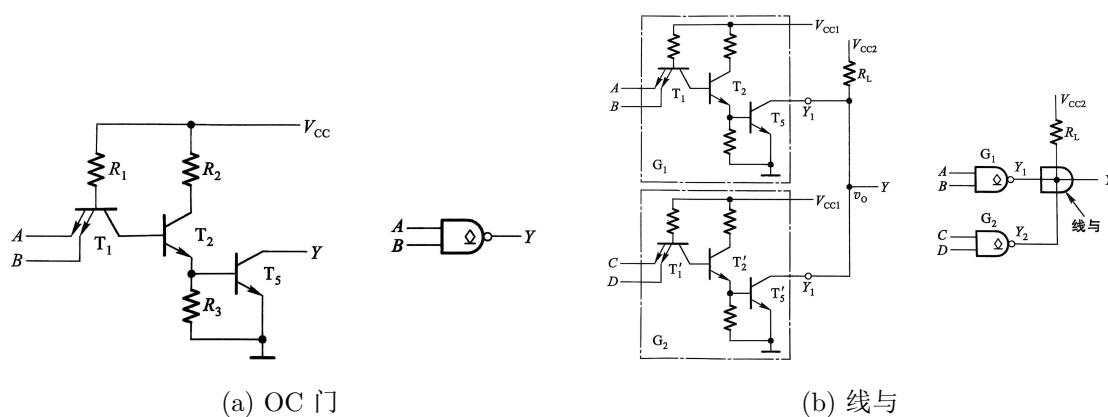


图 2.32: OC 门以及 OC 门的线与实现

上拉电阻的计算

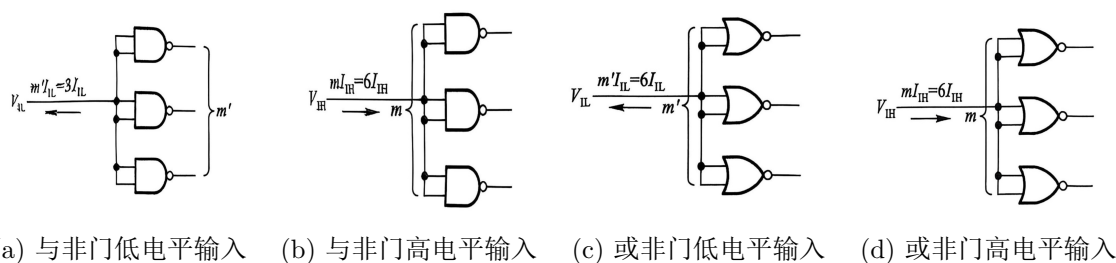


图 2.33: OC 门上拉电阻输入电流的计算

上拉电阻的计算与 OD 门类似，只需注意 TTL 与非门低电平时输入电流只有一份。因此与门的电阻满足

$$\frac{V_{CC} - V_{OL}}{I_{OL(max)} - m'|I_{IL}|} \leq R_L \leq \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}}$$

其中 m' 为输入端个数而不是门电路个数。

2.3.6 三态输出门电路 (TS 门)

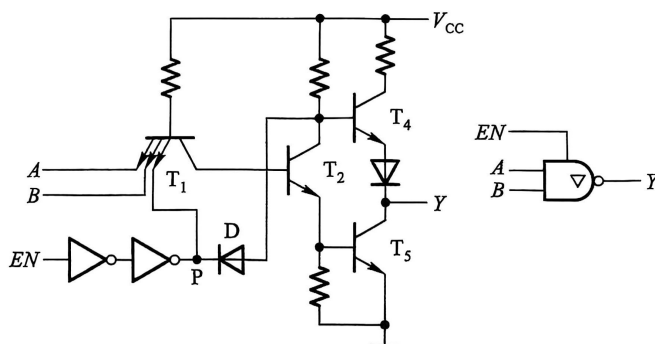


图 2.34: TS 门

TTL 的三态输出门是在普通门电路的基础上附加控制电路构成的。对于 TTL 高电平有效的三态输出与非门，控制端无效时， $Y = (AB)'$ ；控制端有效时， $Y = Z$ ；而低电平有效控制信号效果相反。TTL 三态门应用于 CMOS 三态门类似。

3 组合逻辑电路

组合逻辑电路：任意时刻的输出仅取决于该时刻的输入，与电路原来的状态无关。电路中不存在存储单元。

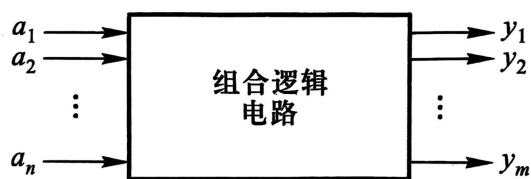


图 3.1: 组合逻辑电路框图

对于任何一个多输入多输出的组合逻辑电路都可以表示为

$$\begin{cases} y_1 = f_1(a_1, a_2, \dots, a_n) \\ y_2 = f_2(a_1, a_2, \dots, a_n) \\ \vdots \\ y_m = f_m(a_1, a_2, \dots, a_n) \end{cases}$$

3.1 分析与设计方法

3.1.1 分析方法

从电路的输入到输出逐级写出逻辑函数式，最后得到表示输出与输入关系的逻辑函数式，然后使用公式法或卡诺图化简法对函数式进行化简或变换。也可以转换为真值表形式。

3.1.2 设计方法

首先进行逻辑抽象：分析因果关系，确定输入输出变量；对输入输出变量进行二进制编码；对给定的因果关系统列出真值表。然后写出逻辑函数式，选定器件类型，将逻辑函数化简或转换成适当的描述形式，最后画出逻辑电路的连接图，逻辑设计部分完成。

3.2 常用的组合逻辑电路模块

3.2.1 编码器

为了区分不同的事物，将每个事物用一个二值代码表示，这就是编码。编码器（Encoder）的功能就是将输入的每一个高低电平信号编成一个对应的二进制代码。

普通编码器

在普通编码器中，任一时刻只允许输入一个编码信号，否则输出将发生混乱。对于 3 位二进制普通编码器，输入为 $I_0 \sim I_7$ 八个高电平信号，输出为 3 位二进制代码 $Y_2Y_1Y_0$ ，真值表如下：

表 6: 3 位二进制编码器真值表

输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

则逻辑表达式为

$$\begin{cases} Y_2 = I_0' I_1' I_2' I_3' I_4 I_5 I_6' I_7' + I_0' I_1' I_2' I_3' I_4 I_5 I_6 I_7' + I_0' I_1' I_2' I_3' I_4 I_5' I_6 I_7' + I_0' I_1' I_2' I_3' I_4' I_5 I_6 I_7 = I_4 + I_5 + I_6 + I_7 \\ Y_1 = I_0' I_1' I_2 I_3' I_4' I_5' I_6' I_7' + I_0' I_1' I_2 I_3' I_4' I_5 I_6' I_7' + I_0' I_1' I_2 I_3' I_4' I_5 I_6 I_7' + I_0' I_1' I_2 I_3' I_4' I_5' I_6 I_7 = I_2 + I_3 + I_6 + I_7 \\ Y_0 = I_0' I_1 I_2' I_3' I_4' I_5' I_6' I_7' + I_0' I_1 I_2' I_3' I_4' I_5 I_6' I_7' + I_0' I_1 I_2' I_3' I_4' I_5 I_6 I_7' + I_0' I_1 I_2' I_3' I_4' I_5' I_6 I_7 = I_1 + I_3 + I_5 + I_7 \end{cases}$$

得到的编码器电路如下，为三个四输入或门组成的电路。

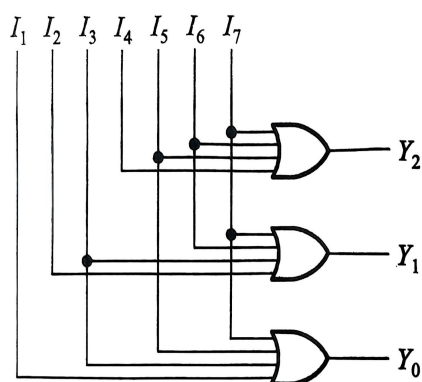


图 3.2: 3 位二进制编码器

优先编码器

在优先编码器电路中，允许同时输入两个以上的编码信号。但是在设计编码器时已经将所有信号按优先顺序排了队，当几个输入信号同时出现时，只对优先级最高的一个进行编码。

以下为 8 线-3 线优先编码器 74HC148 的逻辑图。其中 G_1, G_2, G_3 构成附加控制电路。

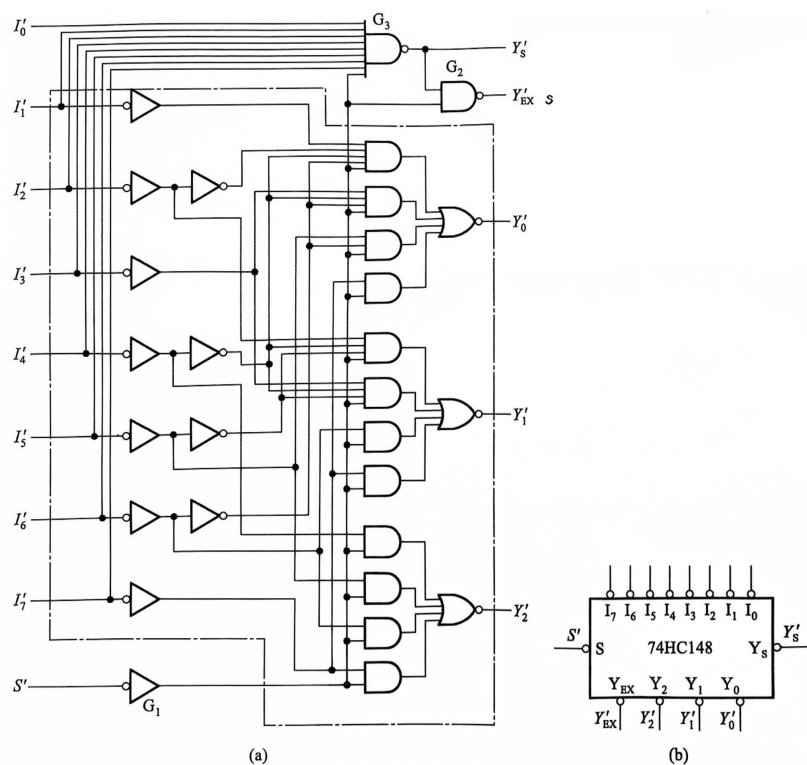


图 3.3: 8 线-3 线优先编码器 74HC148

输出逻辑式为

$$\begin{cases} Y_2' = ((I_4 + I_5 + I_6 + I_7)S)' \\ Y_1' = ((I_2 I_4' I_5' + I_3 I_4' I_5' + I_6 + I_7)S)' \\ Y_0' = ((I_1 I_2' I_4' I_6' + I_3 I_4' I_6' + I_5 I_6' + I_7)S)' \end{cases}$$

S' 为选通输入端, 只有 $S' = 0$ 时编码器才能工作, 否则所有输出均被封锁在高电平。

选通输出端 $Y'_S = (I'_0 I'_1 I'_2 I'_3 I'_4 I'_5 I'_6 I'_7 S)'$, 低电平表示电路工作但没有编码输入。

扩展端 $Y'_{EX} = (Y'_S S')' = ((I_0 + I_1 + I_2 + I_3 + I_4 + I_5 + I_6 + I_7) S')'$, 低电平表示电路有工作且有编码输入。

表 7: 74HC148 功能表

[illegible]

3.2.2 译码器

译码器 (Decoder) 是将每个输入的二进制代码译成对应的输出高低电平信号或另外一个代码。是编码的逆操作。

二进制译码器输入是 3 位二进制代码, 译码器将之译成对应一根输出线上的高低电平信号。由于输出是 8 个状态, 因此也称为 3 线-8 线译码器。CMOS 门电路组成的 74HC138 如下所示。

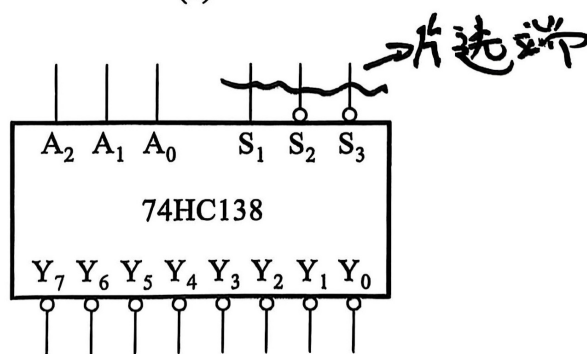
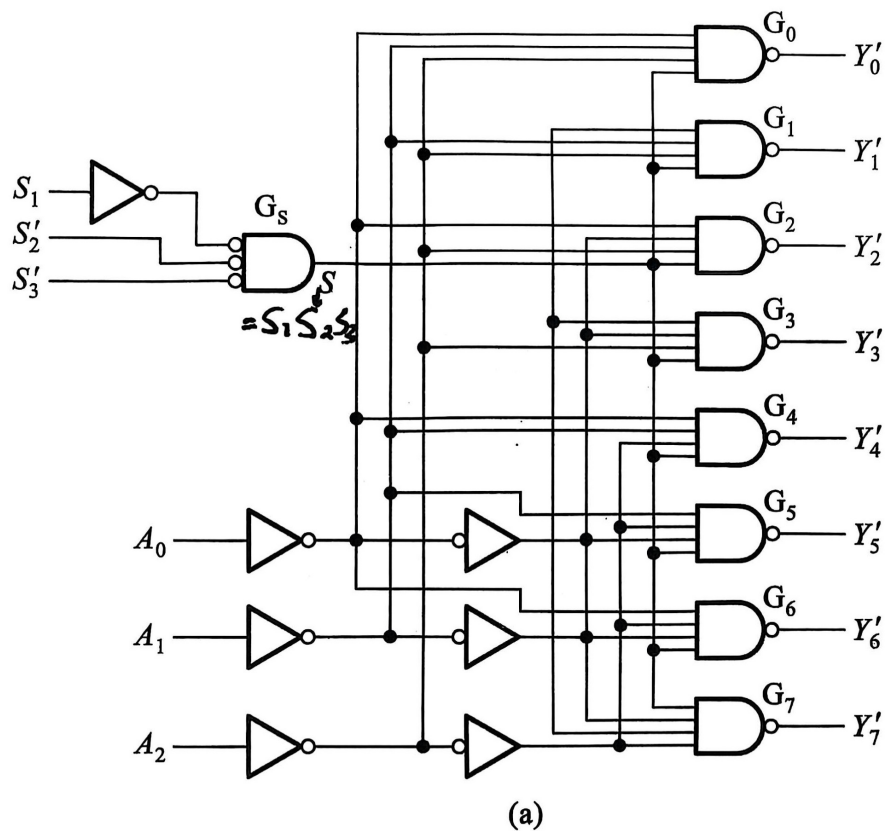


图 3.4: 译码器

表 8: 74HC138 3 线-8 线译码器功能表

输入					输出							
S_1	$S_2' + S_3'$	A_2	A_1	A_0	Y_0'	Y_1'	Y_2'	Y_3'	Y_4'	Y_5'	Y_6'	Y_7'
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

当 $S = S_1S_2S_3 = 1$ 时，输出为

$$\begin{cases} Y_0' = (A_2'A_1'A_0)' = m_0' \\ Y_1' = (A_2'A_1A_0)' = m_1' \\ Y_2' = (A_2'A_1A_0)' = m_2' \\ Y_3' = (A_2'A_1A_0)' = m_3' \\ Y_4' = (A_2A_1'A_0)' = m_4' \\ Y_5' = (A_2A_1A_0)' = m_5' \\ Y_6' = (A_2A_1A_0)' = m_6' \\ Y_7' = (A_2A_1A_0)' = m_7' \end{cases}$$

译码器的输出 $Y_i' = m_i'$ 同时是三个输入变量的全部最小项的译码输出，因此也称为最小项译码器。

74HC138 有 3 个附加控制端，当 $S_1 = 1, S_2' + S_3' = 0$ 时， G_1 输出 $S = 1$ ，译码器处于工作状态，否则译码器被禁止，所有输出被封锁在高电平。也称控制端为片选输入端，用于多片连接扩展译码器功能。

3.2.3 数据选择器

在数字信号传输过程中，有时需要从一组数据中选出某一个数据，这时就要用到数据选择器或多路开关。对于二选一数据选择器， $Y = SEL \cdot A + SEL' \cdot B$ 。

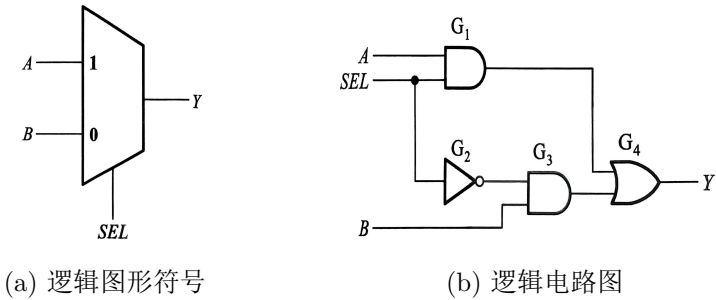


图 3.5: 二选一数据选择器

常用的数据选择器为双 4 选 1 数据选择器 74HC153 如下所示。包含两个完全相同的 4 选 1 数据选择器。两个数据选择器有公共的地址输入端，而数据输入端和输出端是各自独立的。通过给定不同的地址代码，即可从 4 个输入数据中选择想要的一个送到输出端。

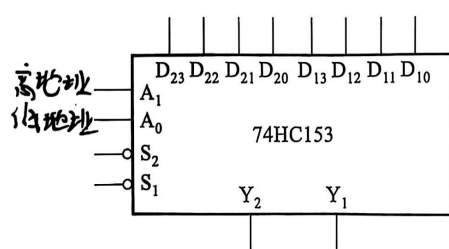
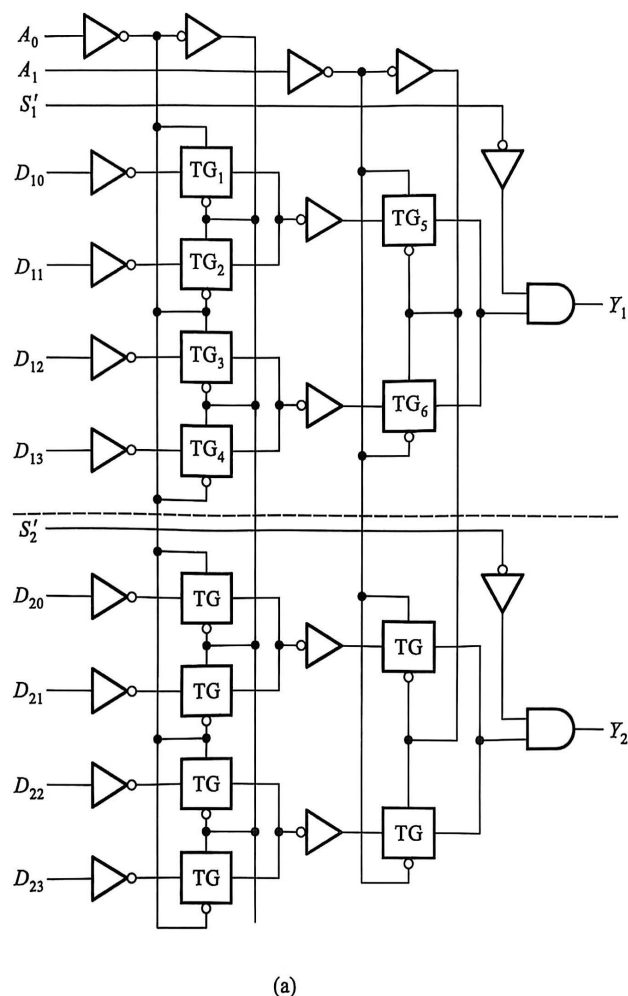


图 3.6: 双 4 选 1 数据选择器 74HC153

输出逻辑式为 $Y_1 = [D_{10}(A'_1 A'_0) + D_{11}(A'_1 A_0) + D_{12}(A_1 A'_0) + D_{13}(A_1 A_0)]S_1$

3.2.4 数值比较器

要求比较两个数的大小时需要数值比较器。

对于 1 位二进制数的比较， $A > B$ 即 $A = 1, B = 0$ 时 $AB' = 1$ ，因此 $Y_{(A>B)} = AB'$ ； $A = B$ 时 $Y_{(A=B)} = A \odot B = 1$ ； $A < B$ 即 $A = 0, B = 1$ 时 $A'B = 1$ ，因此 $Y_{(A<B)} = A'B$ 。

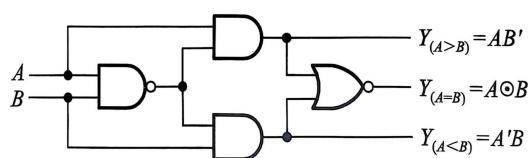
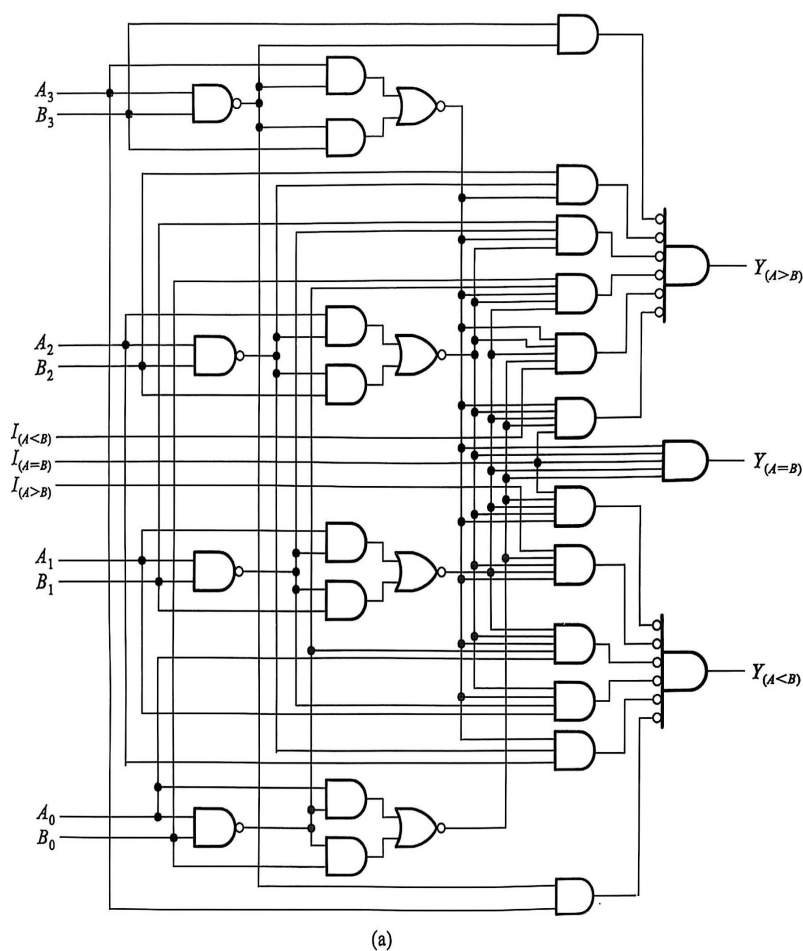


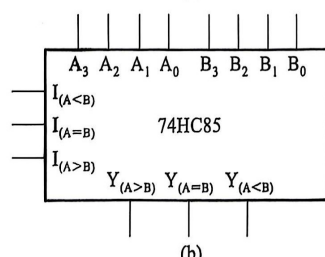
图 3.7: 一位数值比较器逻辑电路

对于多位二进制数的比较, 需要从高到低逐位比较, 且只有高位相等时才需要比较低位。

$$\begin{cases} Y_{(A>B)} = A_3B'_3 + (A_3 \odot B_3)A_2B'_2 + (A_3 \odot B_3)(A_2 \odot B_2)A_1B'_1 \\ \quad + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)A_0B'_0 + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)I_{(A>B)} \\ Y_{(A<B)} = A'_3B_3 + (A_3 \odot B_3)A'_2B_2 + (A_3 \odot B_3)(A_2 \odot B_2)A'_1B_1 \\ \quad + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)A'_0B_0 + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)I_{(A<B)} \\ Y_{(A=B)} = (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)I_{(A=B)} \end{cases}$$



(a)



(b)

图 3.8: 数值比较器

3.2.5 加法器

不考虑有来自低位的进位将两个 1 位二进制数相加，称为半加。半加器逻辑式为

$$\begin{cases} S = A \oplus B \\ CO = AB \end{cases}$$

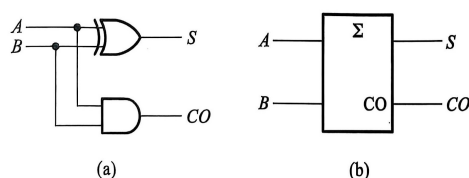


图 3.9: 半加器

将两个多位二进制数相加时，除了最低位外，每一位都应该考虑来自低位的进位，即将两个对应位的加数和来自低位的进位 3 个数相加，这种运算称为全加。

$$\begin{cases} S = (A'B'CI' + AB'CI + A'BCI + ABCI')' \\ CO = (A'B' + B'CI' + A'CI')' \end{cases}$$

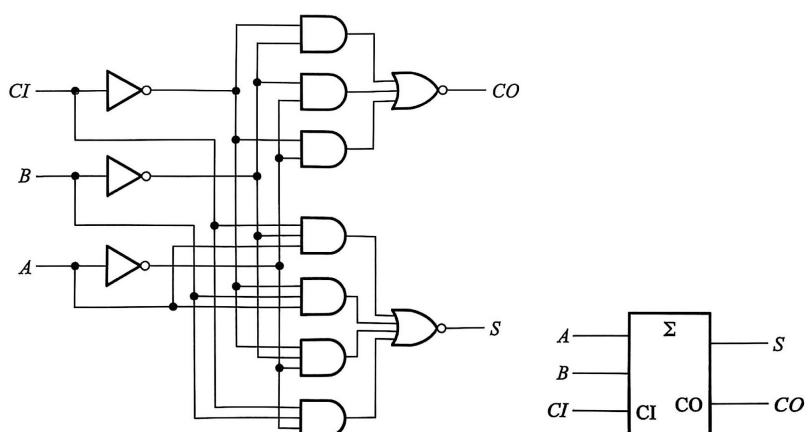


图 3.10: 双全加器 74LS183

两个多位数相加时每一位都是带进位相加的，必须使用全加器，低位全加器的输出 CO 接到高位输入 CI 即构成多位加法器。由于高位的相加必须等到低位进位产生后才能建立，因此称为串行进位加法器。最大的问题是运算速度慢，每次加法运算需要经过 4 个全加器的传输延迟时间才能得到稳定可靠的运算结果。

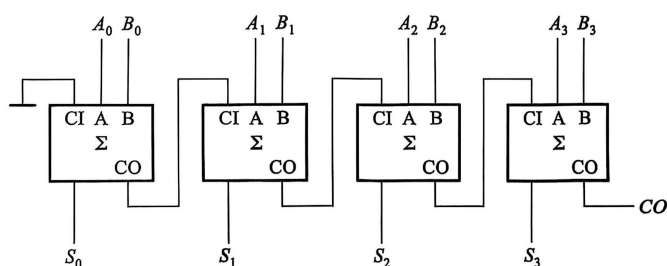


图 3.11: 4 位串行加法器

加到第 i 位的进位输入信号是这两个加数第 i 位以下各位状态的函数, 所以 $(CO)_i$ 可以由 $A_{i-1}A_{i-2}\cdots A_0$ 和 $B_{i-1}B_{i-2}\cdots B_0$ 唯一确定。因此无需从最低位开始逐位传递进位信号, 有效提高了运算速度, 这种加法器称为超前进位加法器, 或快速进位加法器。

第 i 位产生的进位输出 $(CO)_i = A_iB_i + (A_i + B_i)(CI)_i$, 定义进位生成函数 $G_i = A_iB_i$, 进位传送函数 $P_i = (A_i + B_i)$, 则

$$\begin{aligned}(CO)_i &= G_i + P_i(CI)_i = G_i + P_i[G_{i-1} + P_{i-1}(CI)_{i-1}] \\ &= G_i + P_iG_{i-1} + P_iP_{i-1}[G_{i-2} + P_{i-2}(CI)_{i-2}] \\ &\vdots \\ &= G_i + P_iG_{i-1} + P_iP_{i-1}G_{i-2} + \cdots + P_iP_{i-1}\cdots P_1G_0 + P_iP_{i-1}\cdots P_0(CI)_0\end{aligned}$$

而第 i 位输出为 $S_i = A_iB'_i(CI)'_i + A'_iB_i(CI)'_i + A'_iB'_i(CI)_i + A_iB_i(CI)_i = A_i \oplus B_i \oplus (CI)_i$ 。

根据上述两式构成的 4 位超前进位加法器 74HC283 如下所示。完成加法运算进需要三级门电路的传输延迟时间, 获得进位输出信号仅需一级反相器和一级与或非门的传输延迟时间, 运算时间得以大大缩短。但代价是电路结构复杂, 位数上升电路结构复杂程度急剧上升。

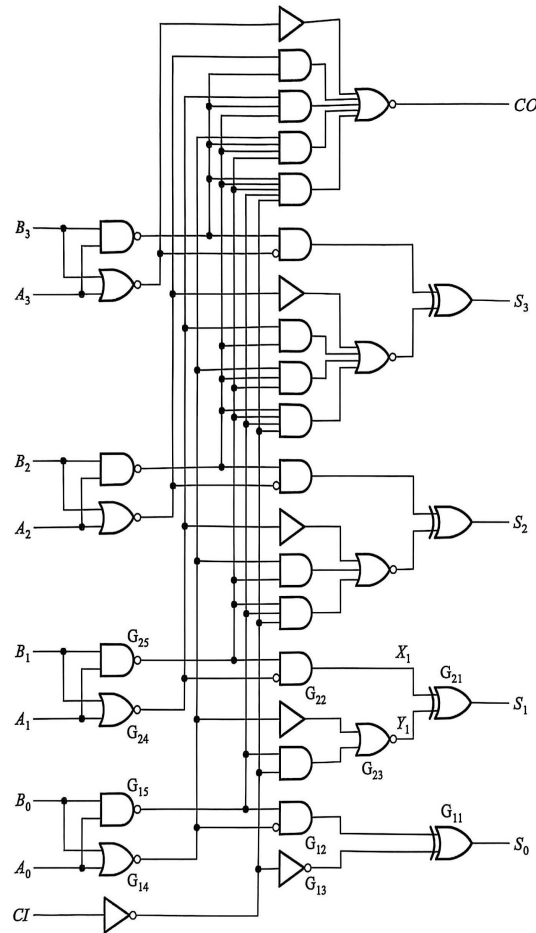


图 3.12: 4 位超前进位加法器 74HC283

3.3 组合逻辑电路的竞争-冒险

3.3.1 竞争-冒险现象

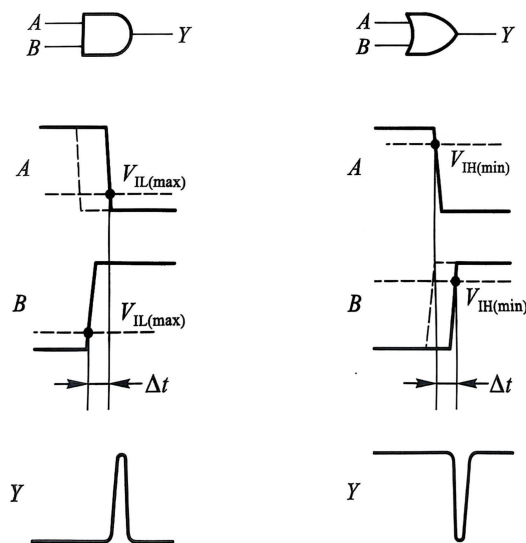


图 3.13: 门电路的竞争-冒险现象

对于与门, 如果 A 跳变为 0 的同时 B 跳变为 1, 且 B 先上升到 $V_{IL(max)}$ 以上, 则在极短时间 Δt 内产生 A, B 同时高于 $V_{IL(max)}$ 的现象, 于是在门电路输出端产生了极窄的尖峰脉冲 $Y = 1$ 。

对于或门, 如果 A 跳变为 0 的同时 B 跳变为 1, 且 A 先下降到 $V_{IH(min)}$ 以下, 则在极短时间 Δt 内产生 A, B 同时低于 $V_{IH(min)}$ 的现象, 于是在门电路输出端产生了极窄的尖峰脉冲 $Y = 0$ 。

将门电路两个输入信号同时向相反的逻辑电平跳变的现象称为竞争。竞争不一定会产生尖峰脉冲。由于竞争而在电路输出端可能产生尖峰脉冲的现象称为竞争-冒险。

3.3.2 竞争-冒险现象的判定和消除

如果输入端门电路的两个输入信号是 A, A' 是输入变量 A 经两个不同的传输途径而来的, 那么输入变量发生突变时可能产生尖峰脉冲, 因此, 只要输出端的逻辑函数能在一定条件下化简成 $Y = A + A'$ 或 $Y = AA'$ 的形式则存在竞争-冒险现象。这种方法简单但局限性大, 输入变量数目增加时便难以判断。现代一般采用计算机辅助分析结合实验来分析竞争-冒险现象。

消除竞争-冒险现象的主要方法

1. 接入滤波电容: 尖峰脉冲一般很窄, 接入很小的滤波电容足以将尖峰脉冲削弱到门电路阈值电压以下。优点是简单易行, 缺点是增加输出电压波形的上升和下降时间, 使波形变坏。
2. 引入选通脉冲: 引入一个选通脉冲 p , 高电平出现在电路的稳态, 因此接入门电路后都不会产生尖峰脉冲。但是此时门电路的输出变为与 p 宽度相同的脉冲信号。
3. 修改逻辑设计: 例如 $Y = AB + A'C$, 在 $B = C = 1$ 时存在竞争-冒险现象, 添加 BC 项后 $Y = AB + A'C + BC$ 不改变原有的逻辑功能, 但是不会再引起竞争-冒险现象, 称为增加冗余项方法。适用范围有限, 仅消除了 $B = C = 1$ 时的竞争-冒险现象。

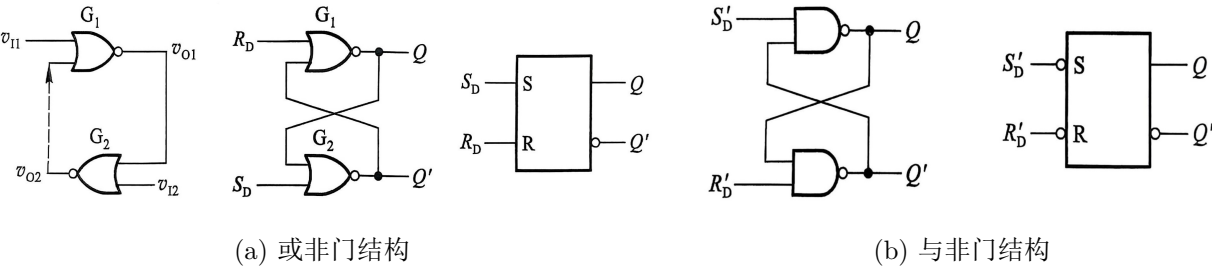
4 半导体存储电路

复杂数字电路需要再运算过程中奖运算数据和运算结果保存下来，这时候就需要存储电路。通常将只能存储一位数据的电路叫做存储单元，将用于存储一组数据的存储电路叫做寄存器，将用于存储大量数据的存储电路叫做存储器。

半导体存储单元可以分为静态存储单元和动态存储单元两类。静态存储单元由门电路连接而成，包括各种电路结构形式的锁存器和触发器，只要不切断供电状态，状态就会一直保持下去。而动态存储单元则是利用电容的电荷存储效应存储数据，由于电容充放电需要时间，因此工作速度低于静态存储单元，且电容会泄露需要定期刷新。

4.1 SR 锁存器

静态存储单元最基本的是 SR 锁存器。由两个与非门或两个或非门构成。
只有一个或非门 G_1 时，不具备记忆功能。用另一个或非门 G_2 将 v_{O1} 反相，则 G_2 输出 v_{O2} 与 v_{I1} 同相，此时将 v_{O2} 接回 G_1 输入端，则即使 v_{I1} 消失输出状态也能保持下去。



由于锁存器新的状态 Q^* （称为次态）不仅与输入状态有关，还与锁存器原来的状态 Q （称为初态）有关，因此将 Q 作为状态变量加入真值表，列出 SR 锁存器的特性表如下。

表 9: 或非门 SR 锁存器特性表

S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	不定
1	1	1	不定

表 10: 与非门 SR 锁存器特性表

S'_D	R'_D	Q	Q^*
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	不定
0	0	1	不定

或非门构成的 SR 锁存器 $S_D = R_D = 1$ 时 $Q = Q' = 0$ ，此时既不是 1 状态也不是 0 状态，且回到 0 后无法断定锁存器的次态，因此需要遵守 $S_D R_D = 0$ 的约束条件。同理，与非门构成的 SR 锁存器需要满足 $(S'_D + R'_D)' = 0$ 即 $S_D R_D = 0$ 的约束条件。

SR 锁存器的输入信号直接加在输入门上，在输入信号全部作用的时间里都能直接改变输出端 Q, Q' 的状态，因此称 S_D 或 S'_D 为直接置位端， R_D 或 R'_D 为直接复位端，称 SR 锁存器为直接置位、复位锁存器。

4.2 触发器

和锁存器不同的是，除了置 1、置 0 输入端外，又增加了一个触发信号输入端。只有当触发信号到来时，触发器才按照输入的置 1、置 0 信号置成相应状态，并保持下去。这个触发信号称为时钟信号 $CLOCK$ ，记作 CLK 。系统的多个触发器需要同时动作时可以用同一个时钟信号作为同步控制信号。

4.2.1 电平触发的触发器

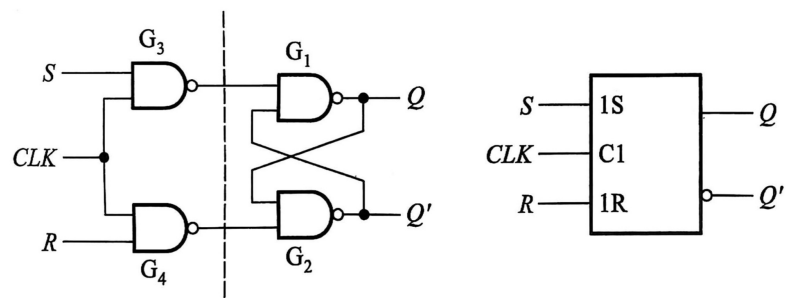


图 4.2: 电平触发 SR 触发器

电平触发 SR 触发器（也称同步 SR 触发器，也称门控 SR 锁存器且称 CLK 为使能信号 EN ）由两部分组成，分别为由与非门 G_1, G_2 组成的 SR 锁存器和由与非门 G_3, G_4 组成的输入控制电路。

当 $CLK = 0$ 时， G_3, G_4 门输出为 1， S, R 信号无法通过 G_3, G_4 影响输出状态，故输出保持不变。当 $CLK = 1$ 时， S, R 信号才能触发电路发生变化。只有 CLK 信号电平为有效电平时电路才能被触发，因此称为电平触发 SR 触发器。特性表如下所示。

表 11: 电平触发 SR 触发器特性表

CLK	S	R	Q	Q^*
0	×	×	0	0
0	×	×	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	不定
1	1	1	1	不定

如果要在 CLK 有效电平到达前预先将触发器置成指定状态，则在 SR 锁存器部分增加异步置 1 输入端 S'_D 和异步置 0 输入端 R'_D 。只要在 S'_D 或 R'_D 加入低电平，立即将触发器置 1 或置 0，不受时钟信号控制，因此称为异步端。

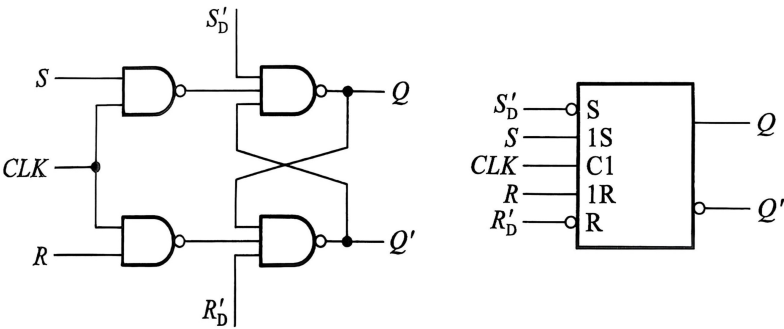


图 4.3: 带异步置位、复位端的电平触发 SR 触发器

电平触发方式的动作特点

- 1. 只有当 CLK 变为有效电平时，触发器才能接受输入信号，并按照输入信号将触发器输出置成相应的状态。
- 2. $CLK = 1$ 的全部时间里， S 和 R 的变化都可能引起输出状态的改变。在 CLK 回到 0 后，触发器保存的时回到 0 前瞬间的状态。若 S, R 状态多次变化，触发器输出状态也将发生多次翻转，降低了触发器的抗干扰能力。

为了能适应单端输入信号的需要，将电平触发 SR 触发器改接为 D 触发器，即将 S 端信号经反相器加到 R 端，构成电平触发 D 触发器（也称 D 型锁存器）。

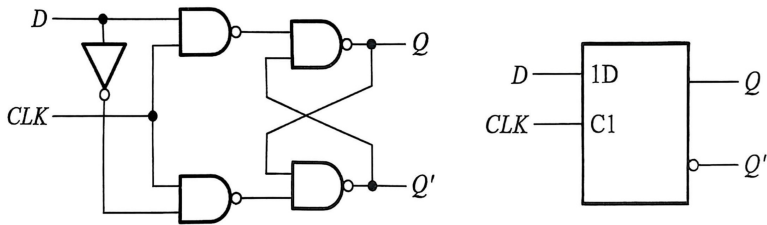


图 4.4: 电平触发 D 触发器

若 $D = 1$ ， CLK 变为高电平后触发器被置为 1， CLK 回到低电平后保持 1 状态不变。若 $D = 0$ ， CLK 变为高电平后触发器被置为 0， CLK 回到低电平后保持 0 状态不变。特性表如下。

表 12: 电平触发 D 触发器特性表

CLK	D	Q	Q^*
0	×	0	0
0	×	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

在 CMOS 电路中，常利用 CMOS 传输门组成电平触发 D 触发器。当 $CLK = 1$ 时， TG_1 导通且 TG_2 截

止, 输出 $Q = D$ 。而 $CLK = 0$ 时, TG_1 截止且 TG_2 导通, 反相器 G_1, G_2 和传输门 TG_2 构成自锁闭合回路保存状态。由于这个电路在电平有效期间输出与输入状态始终相同, 因此称为透明 D 型锁存器。

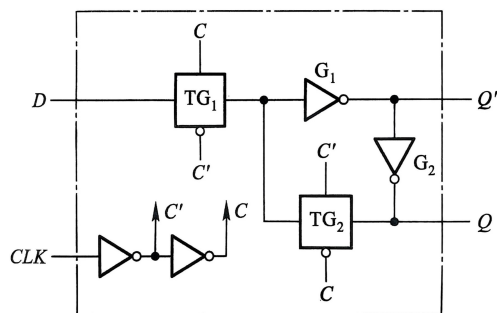
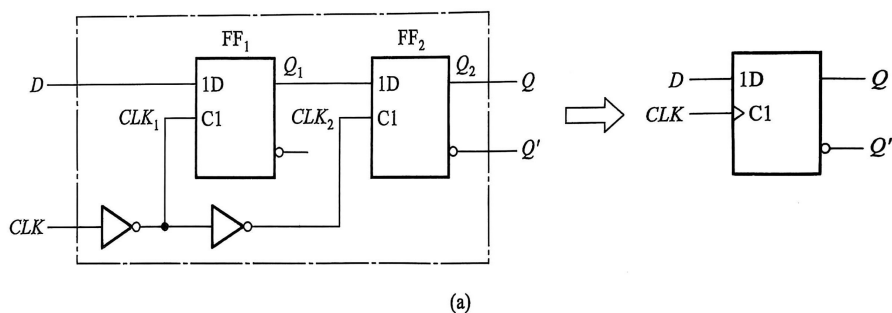


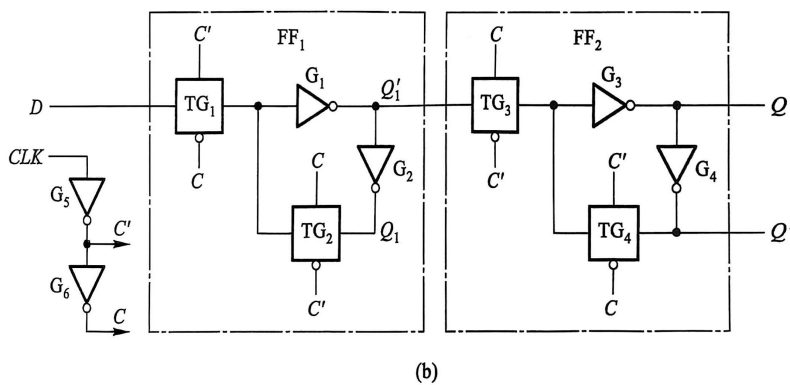
图 4.5: D 触发器结构

4.2.2 边沿触发的触发器

为了提高触发器的可靠性, 增强抗干扰能力, 希望触发器的次态仅取决于 CLK 信号下降沿或上升沿到达时刻输入信号的状态, 而在此之前和之后的输入状态的变化对触发器的次态没有影响。



(a)



(b)

图 4.6: 边沿触发 D 触发器

当 CLK 由低电平跳变到高电平时, CLK_1 随之变成低电平, 于是 Q_1 保持 CLK 上升沿到达前瞬间 D 的状态, 此后不再随 D 状态改变而改变。与此同时, CLK_2 变成高电平, 使 Q_2 与它的输入状态 Q_1 相同, 则被置为了与上升沿到达前瞬间 D 的状态, 而与之之后的状态无关。

表 13: 边沿触发 D 触发器特性表

CLK	D	Q	Q^*
$\times$	$\times$	$\times$	Q
$\uparrow$	0	0	0
$\uparrow$	0	1	0
$\uparrow$	1	0	1
$\uparrow$	1	1	1

和电平触发 SR 触发器一样，为实现异步置位、复位功能，需要引入 S_D 和 R_D 信号作为异步置位、复位端构成带异步端的边沿触发 D 触发器。

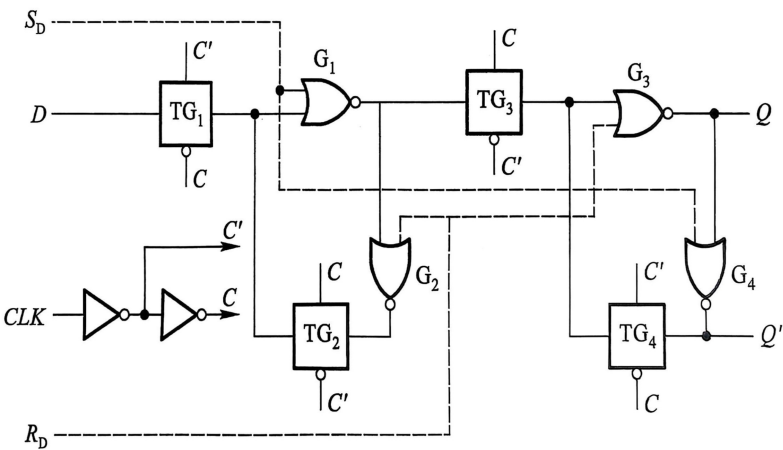


图 4.7: 带异步置位、复位端的边沿触发 D 触发器

边沿触发方式的动作特点

触发器的次态仅取决于时钟信号上升沿（正边沿）或下降沿（负边沿）到达时输入的逻辑状态，在这以前或以后输入信号的变化对触发器输出的状态没有影响。提高了触发器的抗干扰能力。

4.2.3 脉冲触发的触发器

将边沿触发 D 触发器的两个电平触发 D 触发器换成电平触发 SR 触发器，则组成脉冲触发 SR 触发器（也称主从 SR 触发器）。

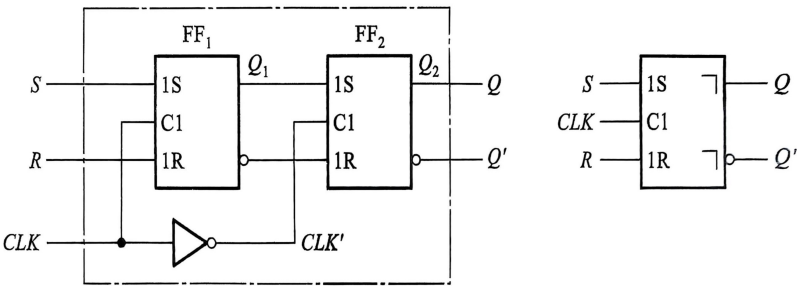


图 4.8: 脉冲触发 SR 触发器

FF_1 称为主触发器， FF_2 称为从触发器。当 $CLK = 0$ 时，主触发器保持原状态不变，在 CLK 变为高电平后，主触发器的输出被置成相应的状态，而从触发器保持状态不变。当 CLK 回到低电平即下降沿到来时，从

触发器的输出被置成与此刻主触发器输出相同的状态，而主触发器保持状态不变。

在一个时钟周期内，输出端状态仅会改变一次，且在时钟信号的下降沿发生。由于主触发器是电平触发 SR 触发器，因此不能仅根据下降沿到来时确定输出状态，必须考察全部 $CLK = 1$ 期间主触发器状态的变化情况。

表 14: 脉冲触发 SR 触发器特性表

CLK	S	R	Q	Q^*
$\times$	$\times$	$\times$	$\times$	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	不定
	1	1	1	不定

由于主触发器是一个电平触发 SR 触发器，仍需要遵循 $SR = 0$ 的约束条件。在 SR 触发器的基础上，如果当 $S = R = 1$ 时，将 Q 和 Q' 接回到输入端，用 Q' 代替 S 端的输入信号，用 Q 代替 R 端的输入信号即可满足上述要求。这种结构的触发器称为脉冲触发的 JK 触发器。

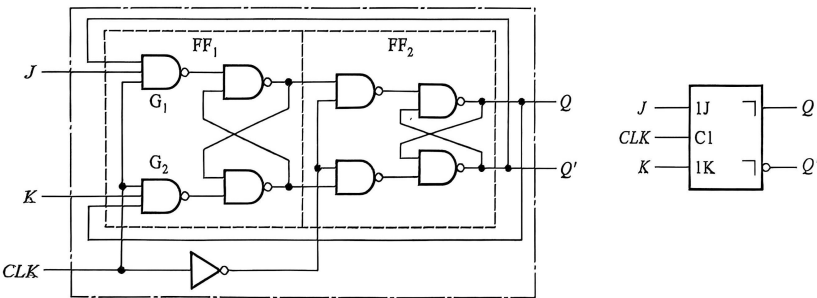


图 4.9: 脉冲触发 JK 触发器

表 15: 脉冲触发 JK 触发器特性表

CLK	S	R	Q	Q^*
$\times$	$\times$	$\times$	$\times$	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

$J = K = 1$ 时，若 $Q = 0$ ，则 G_2 被 Q 端低电平封锁，主触发器置 1，下降沿到达后从触发器也置 1。若 $Q = 1$ ，则 G_1 被 Q' 端低电平封锁，主触发器置 0，下降沿到达后从触发器也置 0。即 $J = K = 1$ 时，触发器将翻转状态， $Q^* = Q'$ 。

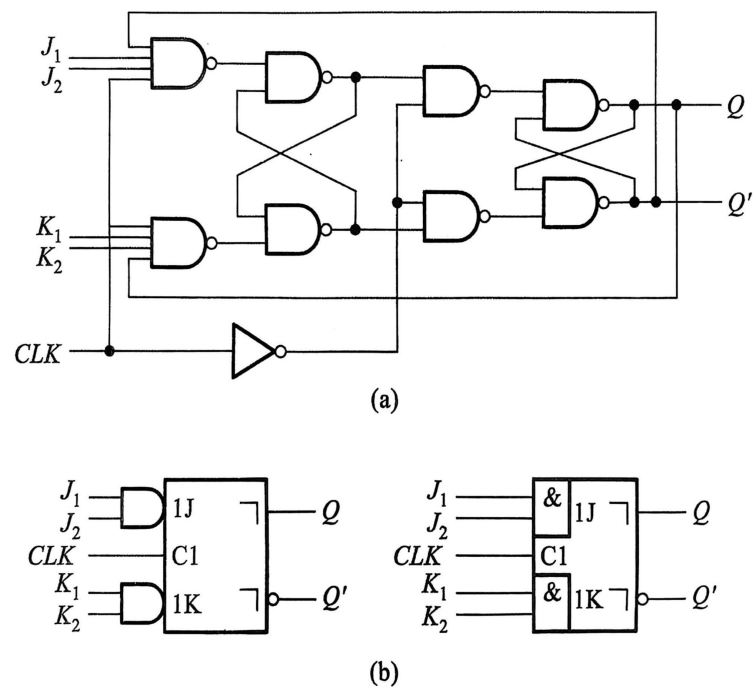


图 4.10: 多输入端的 JK 触发器

对于多输入端的 JK 触发器， J_i 之间、 K_i 之间是逻辑与的关系，以 $\prod J_i$ 代替 J 、以 $\prod K_i$ 代替 K 即可得到多输入端 JK 触发器的特性表。

脉冲触发方式的动作特点

- 1. 触发器翻转分两步动作。第一步时钟信号为有效电平时，主触发器接收输入端信号并置为对应信号，从触发器不动。第二步时钟信号边沿到来时从触发器按照主触发器状态翻转，主触发器不变。
- 2. 主触发器是电平触发 SR 触发器，因此在电平有效全部时间内都将对主触发器起控制作用，因此在电平有效时间内输入信号变化后，边沿到达时从触发器状态不一定能按照此刻输入信号状态来确定。

4.2.4 常用的触发器

表 16: 常用的触发器

触发器类型	状态方程
SR 触发器	$\begin{cases} Q^* = S + R'Q \\ SR = 0 \text{ (约束条件)} \end{cases}$
JK 触发器	$Q^* = JQ' + K'Q$
T 触发器	$Q^* = TQ' + T'Q$
T' 触发器 (T 控制端接 1)	$Q^* = Q'$
D 触发器	$Q^* = D$

4.3 寄存器

寄存器能够寄存一组二值代码。由于一个触发器能存储一位二值代码，因此用 N 个触发器组成的寄存器能储存一组 N 位二值代码。为了满足于周围相连电路进行快速数据交换的需求，寄存器通常采取所谓“透明”电路结构形式，即每个触发器的输入端和输出端都被直接引出。寄存器中的触发器只要求能置 1 和置 0 即可，因此无论用电平触发、边沿触发或脉冲触发的触发器，都可以组成寄存器。

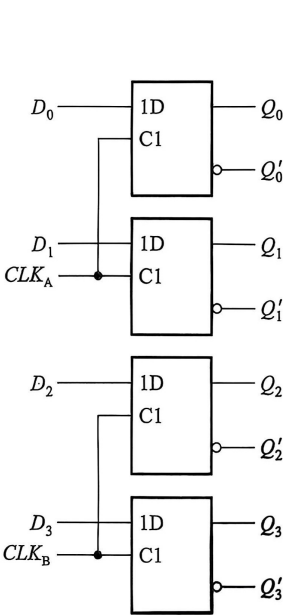


图 5.4.1 74LS75 的逻辑图

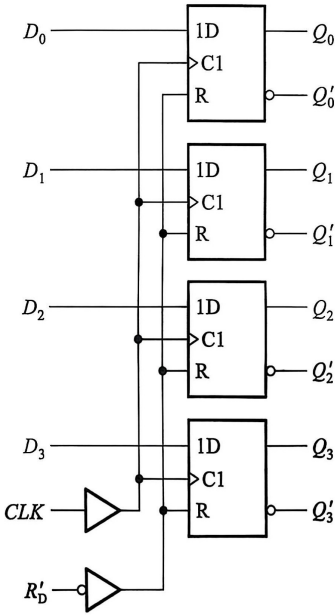


图 5.4.2 74HC175 的逻辑图

图 4.11: 4 位寄存器

4.4 存储器

存储器是一种能存储大量二值信息（称为数据）的器件。存储容量和存取速度是衡量存储器性能的两个最重要的指标。由于半导体存储器存储单元及其庞大而引脚数目有限，因此在存储器中给每个单元编了一个地址，只有被输入地址代码指定的存储单元才能与公共的输入、输出引脚连通进行数据的读出或写入。

存储器分为随机存储器（RAM）和只读存储器（ROM）两类。随机存储器正常工作状态下就可以写入或读出数据，根据存储单元工作原理不同，又可分为静态存储器（SRAM）和动态存储器（DRAM），动态存储器结构简单，但是存取速度较慢。只读存储器在正常工作状态下只能读出数据，但是断电后数据不会丢失。

多位数据并行输出的存储器中，将并行输出的一组数据叫做一个字，存储器每个地址存放一个字，通常存储器容量用存储单元的数量表示，写成（字数）×（位数）的形式。

4.4.1 静态随机存储器 SRAM

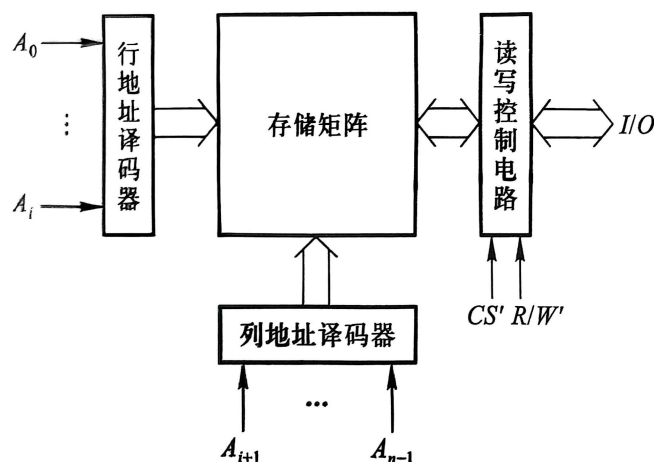


图 4.12: SRAM 的结构

读写线 $R/W' = 1$ 时，执行读操作； $R/W' = 0$ 时，执行写操作。

片选输入端 $CS' = 0$ 时正常工作； $CS' = 1$ 时输入输出端均处于高阻态，不能进行读写操作。

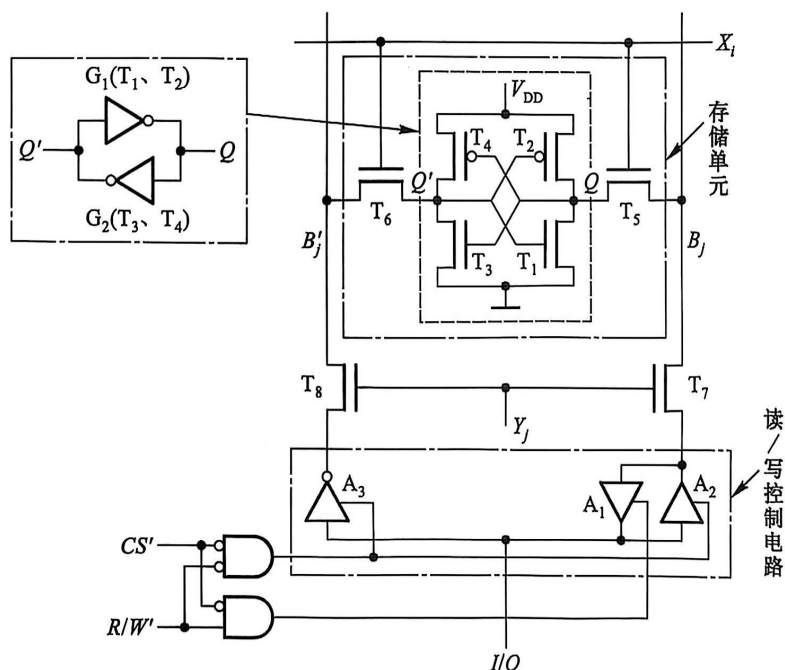


图 4.13: SRAM 的静态存储单元

SRAM 的静态存储单元由六个 MOS 组成。其中 $T_1 \sim T_4$ 构成 SR 锁存器，用于记忆 1 位二值代码。其中 T_1, T_2 和 T_3, T_4 分别接成了反相器 G_1, G_2 。为了减少输入输出连线，将 G_1 的输出端直接和 G_2 的输入端相连，既可在写入时作为置 1 输入端，又可在读出时作为置 1 输出端。同理 G_2 的输出端直接和 G_1 的输入端相连，既可在写入时作为置 0 输入端，又可在读出时作为置 0 输出端。 T_5, T_6 是门控管，作模拟开关使用，控制锁存器输出和位线的联系，开关状态由字线状态决定。 T_7, T_8 是每一列存储单元公用的门控管，用于读写缓冲放大器之间的连接，开关状态由列地址译码器输出控制。

4.4.2 只读存储器 ROM

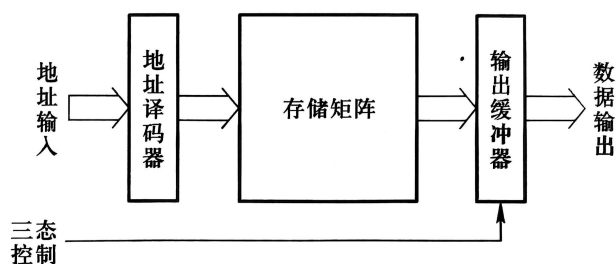


图 4.14: ROM 的结构

输出缓冲器能提高存储器的带负载能力，实现对输出的三态控制以便和总线连接。

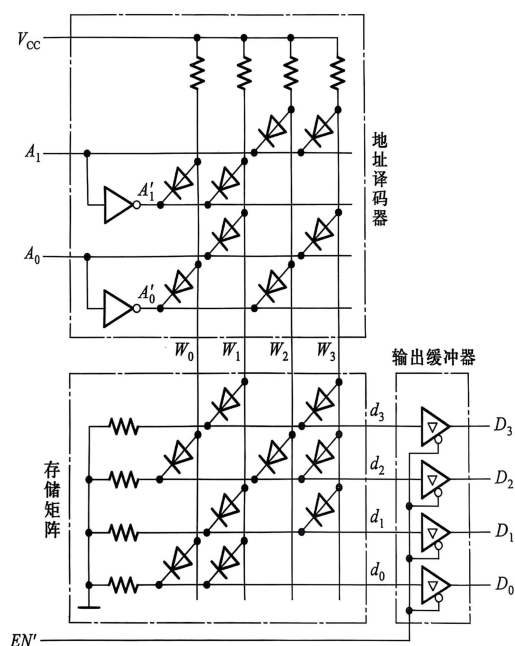


图 4.15: 二极管 ROM 电路

地址译码器由二极管与门构成，存储矩阵是由二极管或门组成的编码器。 W 为字线， d 为位线，每个字线和位线的每个交叉点都是一个存储单元。

ROM 的分类

- 掩模只读存储器（Mask ROM）：存储数据由制作过程中的掩模板决定。
- 可编程只读存储器（PROM）：存储单元为三极管和发射极串联的能快速熔断的熔丝组成。写数据只需要熔断熔丝即可。只能写入一次。
- 电信号擦除的可编程只读存储器——闪存（Flash Memory）：利用浮栅 MOS 管中浮置栅极存储电荷来决定 MOS 管的导通从而实现存储二值代码的目的。充电时加高电压，利用雪崩击穿注入电子充电；放电时利用隧道效应形成电流。

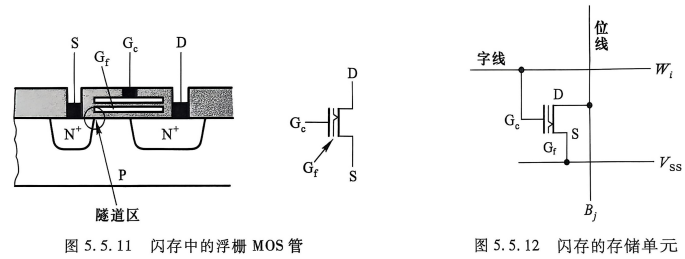


图 4.16: 闪存的基本存储单元

4.4.3 存储器容量的扩展

位扩展方式

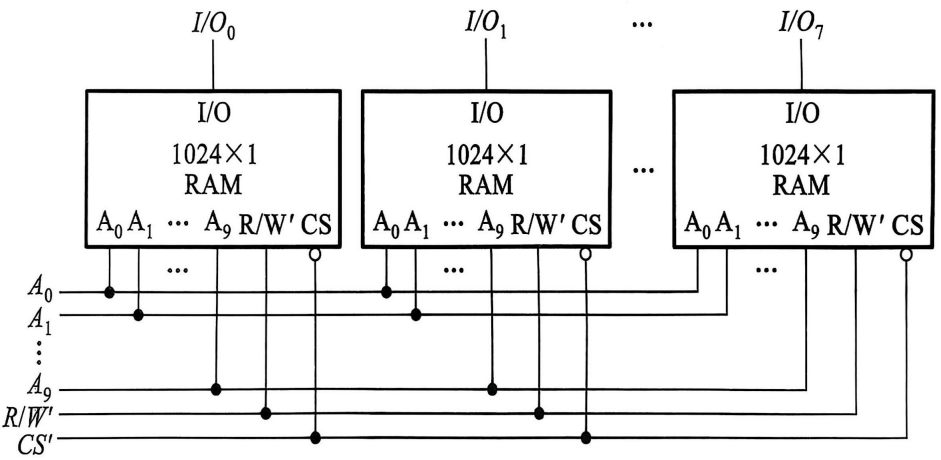


图 4.17: 位拓展方式

将所有地址线相、 R/W' 、 CS' 分别并联，每一片的输出作为总输出的一位。地址数不变，增加输出位数。

字扩展方式

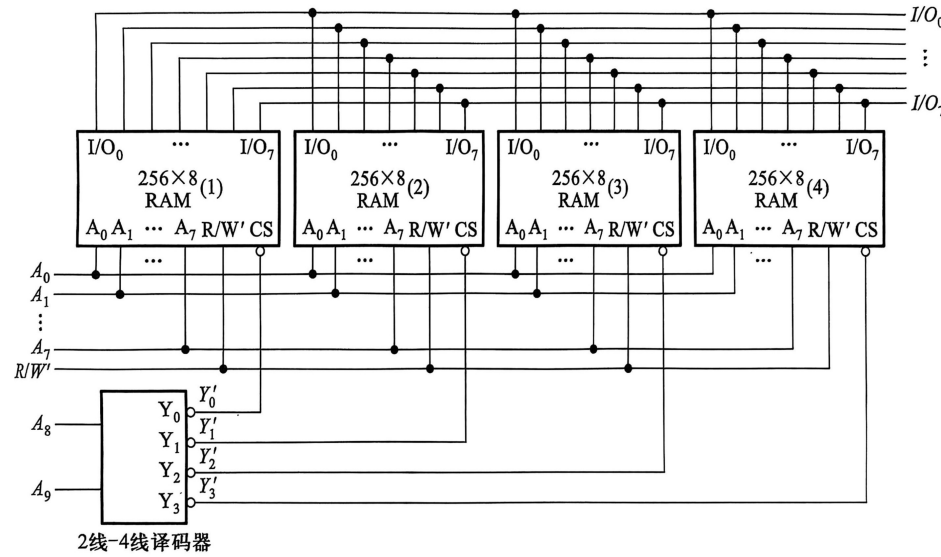


图 4.18: 字拓展方式

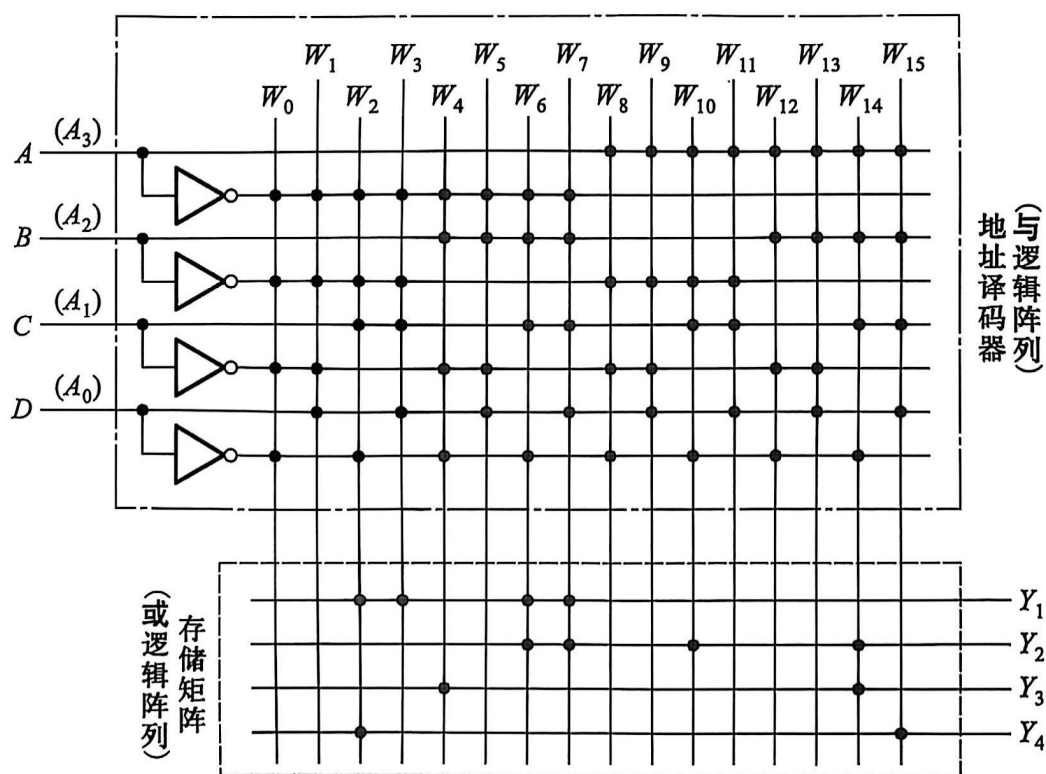
增加地址代码，并给每一片分配增加的地址代码对应的数值，将各片地址端并联，增加的地址端使用片选端，用译码器将编码译成输出信号控制各片，将数据段并联起来作为总输出。增加地址数，输出位数不变。

4.4.4 用存储器实现逻辑函数

将逻辑函数写成最小项之和的形式，在对应的存储单元上写上 1 即可实现。

试用 ROM 产生如下的一组多输出逻辑函数。

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases}$$



5 时序逻辑电路

时序逻辑电路：任一时刻的输出信号不仅取决于当时的输入信号，还取决于电路原来的状态。通常包含组合电路和存储电路两个部分，存储电路的输出状态必须反馈到组合电路的输入端。

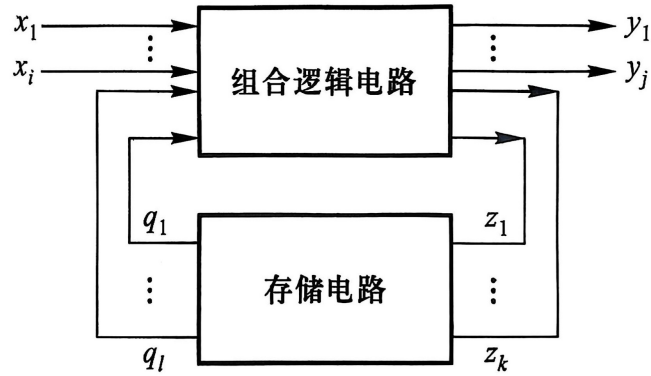


图 5.1: 时序逻辑电路框图

输出方程

$$\begin{cases} y_1 = f_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ y_2 = f_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ y_j = f_j(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases}$$

驱动方程

$$\begin{cases} z_1 = g_1(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ z_2 = g_2(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \\ \vdots \\ z_k = g_k(x_1, x_2, \dots, x_i, q_1, q_2, \dots, q_l) \end{cases}$$

状态方程

$$\begin{cases} q_1^* = h_1(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \\ q_2^* = h_2(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \\ \vdots \\ q_l^* = h_l(z_1, z_2, \dots, z_k, q_1, q_2, \dots, q_l) \end{cases}$$

根据触发器动作特点不同，分为同步时序电路和异步时序电路两种。同步时序电路所有触发器状态变化在同一时钟信号操作下发生。异步时序电路中触发器状态变化不是同时发生的。

根据输出信号的特点分为米利（Mealy）型和穆尔（Moore）型两种。米利型不仅取决于存储电路状态，还取决于输入变量。穆尔型仅取决于存储电路状态。即穆尔型是米利型的一种特例。

时序电路工作时是在电路的有限个状态间按一定规律转换，所以有时称为状态机（SM）、有限状态机（FSM）或算法状态机（ASM）。

5.1 分析方法

5.1.1 同步时序逻辑电路的分析方法

- 1. 从给定的逻辑图中写出每个触发器的驱动方程（即每个触发器输入信号的逻辑函数式）
- 2. 将得到的驱动方程代入触发器特性方程，得到每个触发器的状态方程，得到状态方程组
- 3. 根据逻辑图写出电路的输出方程

5.1.2 同步时序电路的表示方法

【例 6.2.1】 试分析图 6.2.1 所示时序逻辑电路的逻辑功能,写出它的驱动方程、状态方程和输出方程。 FF_1 、 FF_2 和 FF_3 是三个主从结构的 TTL 触发器,下降沿动作,输入端悬空时和逻辑 1 状态等效。

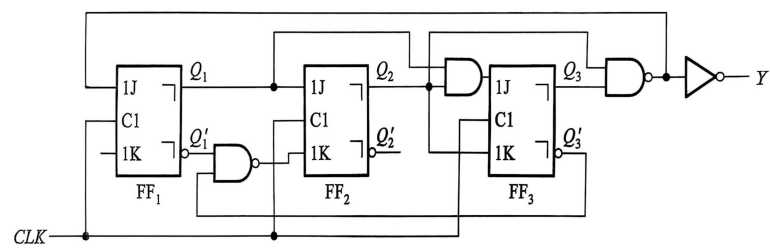


图 5.2: 时序逻辑电路

- 状态转换表：任何一组输入变量及电路初态的取值代入状态方程和输出方程，即可得到一组电路次态和现态下的输出值，再作为新的初态可以得到新一组次态和输出值。将全部结果列成真值表。

表 17: 状态转换表

Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	0	0	1

- 状态转换图：以圆圈表示各个状态，以箭头表示转换方向，箭头旁注明状态转换前输入变量取值和输出值。

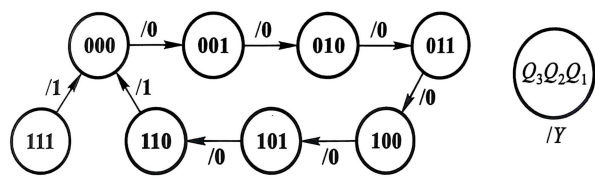
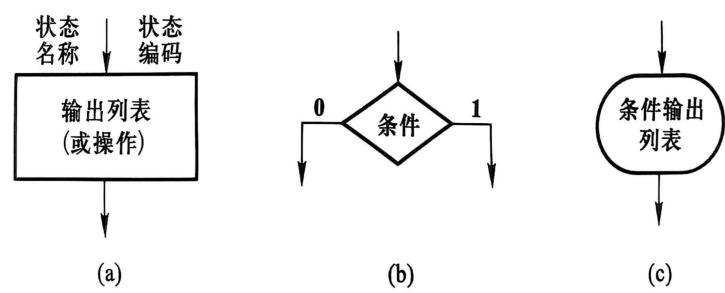


图 5.3: 状态转换图

- 状态机流程图：类似程序流程图的形式，将状态转换图按时序展开。



(a) 状态框 (b) 判断框 (c) 条件输出框

图 5.4: 状态机流程图的基本符号

- 时序图：在输入信号和时钟脉冲序列作用下，电路状态、输出状态随时间变化的波形图。

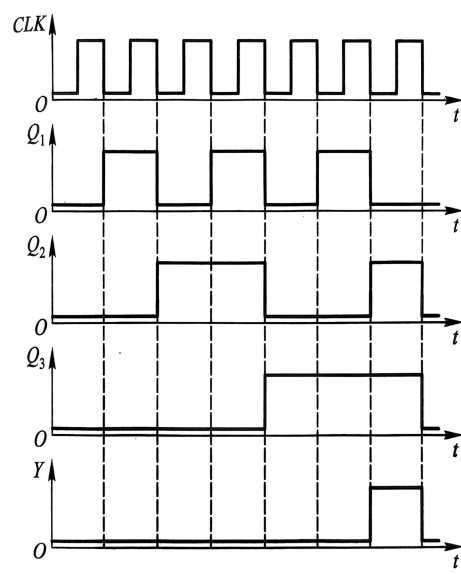


图 5.5: 时序图

5.1.3 异步时序逻辑电路的分析方法

在同步时序电路基础上，每次电路转换时需要找出哪些触发器有时钟信号，哪些触发器没有时钟信号。只有有时钟信号的触发器才需要用特性方程去计算次态，没有时钟信号的触发器保持原来的状态不变。

【例 6.2.4】 已知异步时序电路的逻辑图如图 6.2.10 所示,试分析它的逻辑功能,画出电路的状态转换图和时序图。触发器和门电路均为 TTL 电路。

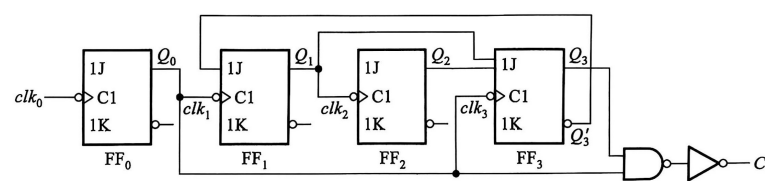


图 5.6: 异步时序电路

驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3' & K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2 & K_3 = 1 \end{cases}$$

输出方程为 $C = Q_0 Q_3$

状态方程为

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \\ Q_2^* = Q_2' \cdot clk_2 \\ Q_3^* = Q_1 Q_2 Q_3' \cdot clk_3 \end{cases}$$

其中以 clk_i 表示时钟信号，不是一个逻辑变量。对于下降沿动作的触发器而言， $clk = 1$ 时表示下降沿到达，而对于上升沿动作触发器表示上升沿到达。

列状态转换表时，可以考虑从给定的 clk_0 的连续作用下列出 Q_0 的对应值，根据 Q_0 每次从 1 变 0 产生 clk_1 和 clk_3 ，即可得到 clk_1 和 clk_3 对应值，而 Q_1 每次从 1 变 0 产生 clk_2 。以此可以确定各次态的值。

表 18: 异步时序电路的状态转换表

clk_0 的顺序	触发器状态				时钟信号				输出 C
	Q_3	Q_2	Q_1	Q_0	clk_3	clk_2	clk_1	clk_0	
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	1	1	0
3	0	0	1	1	0	0	0	1	0
4	0	1	0	0	1	1	1	1	0
5	0	1	0	1	0	0	0	1	0
6	0	1	1	0	1	0	1	1	0
7	0	1	1	1	0	0	0	1	0
8	1	0	0	0	1	1	1	1	0
9	1	0	0	1	0	0	0	1	1
10	0	0	0	0	1	0	1	1	0

4 个触发器共有 16 种状态，将另外 6 种补全到状态转换表中才完整，10 种状态之外的 6 种状态最终都会进入状态转换表的 10 种状态循环中去，因此是能自行启动的时序电路。该电路是异步十进制加法计数器电路。

5.2 计数器

计数器能对时钟脉冲计数，还可以用于分频、定时、产生节拍脉冲和脉冲序列以及进行数字运算。

根据触发器是否同时翻转可分为同步式和异步式两种。按计数过程中数字增减可分为加法计数器、减法计数器和可逆计数器（加/减计数器）。按数字编码方式可分为二进制计数器、二-十进制计数器、格雷码计数器等。按计数容量可分为十进制计数器、十六进制计数器等。

5.2.1 同步加法计数器

同步二进制加法器

通过 T 触发器构成的同步计数器应满足每次计数脉冲到达时翻转该翻转的触发器，可以通过控制输入端状态或控制时钟信号来实现。

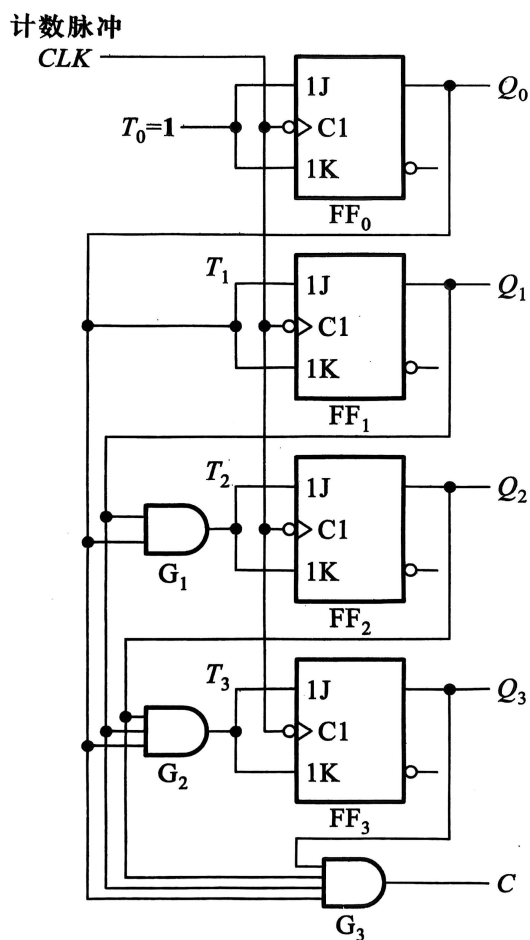


图 5.7: T 触发器构成的二进制加法器

驱动方程为

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_1' + Q_0' Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\ Q_3^* = Q_0 Q_1 Q_2 Q_3' + (Q_0 Q_1 Q_2)' Q_3 \end{cases}$$

输出方程为 $C = Q_0 Q_1 Q_2 Q_3$

控制 T 输入端时，满足 $T_i = \prod_{j=0}^{i-1} Q_j$ ，而最低位 $T_0 = 1$ 。

输出端 $Q_3Q_2Q_1Q_0$ 依次为 16 个数对应的二进制代码。若时钟频率为 f_0 ，则 Q_0, Q_1, Q_2, Q_3 输出脉冲的频率分别为 $\frac{1}{2}f_0, \frac{1}{4}f_0, \frac{1}{8}f_0, \frac{1}{16}f_0$ ，因此也称计数器为分频器。

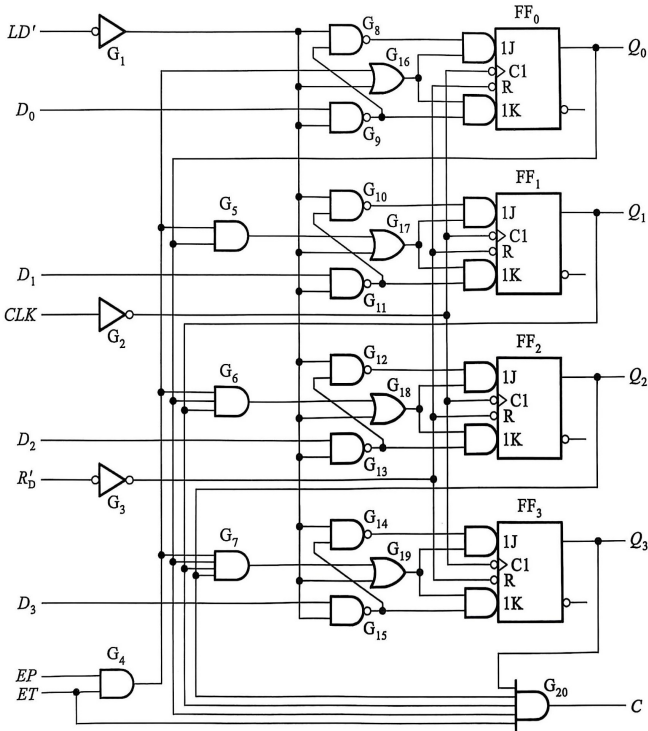


图 5.8: 4 位同步二进制计数器 74161

4 位同步二进制计数器 74161，具有 LD' 预置数控制端， R'_D 异步置零复位端， EP 、 ET 为工作状态控制端， D 为数据输入端， C 为进位输出端。

表 19: 4 位同步二进制计数器 74161 功能表

CLK	R'_D	LD'	EP	ET	工作状态	动作
$\times$	0	$\times$	$\times$	$\times$	异步清零	无论其他信号，立即清零（输出全 0）
$\uparrow$	1	0	$\times$	$\times$	同步置数	CLK 上升沿置入 $D_3 \sim D_0$
$\times$	1	1	0	$\times$	保持	保持当前状态
$\times$	1	1	$\times$	0	保持	保持当前状态且 $C = 0$
$\uparrow$	1	1	1	1	计数	CLK 上升沿递增计数

其中 74HC161 和 74LS161 在内部电路形式上有所区别，但是外部引脚排列和逻辑功能相同，外部引线配置因为内部结构的不同而有所不同。

而有些计数器如 74162、74163 为同步置零， R'_D 出现低电平后需要等待下一个时钟信号到来才能触发置零。

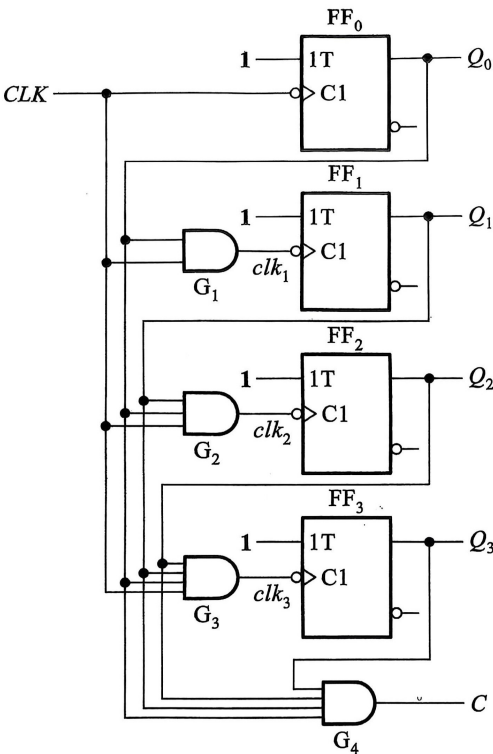


图 5.9: T 触发器构成的二进制加法器的另一种形式

控制时钟信号时，输入端时钟接 1，因此只要有时钟信号，触发器就发生翻转，因此时钟信号可以表示为 $clk_i = CLK \prod_{j=0}^{i-1} Q_j$ 。其中 clk_i 既不表示高电平也不表示低电平，仅表示触发时刻。

同步十进制加法器

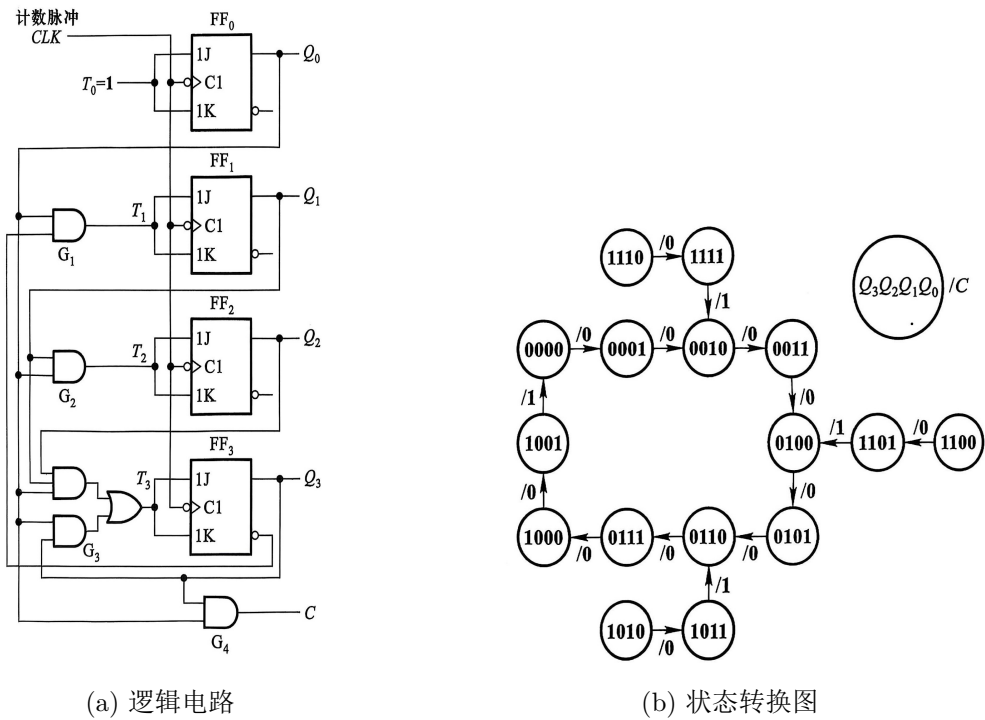


图 5.10: T 触发器构成的十进制加法器

同步十进制加法器在同步二进制加法器基础上修改而成, 从 0000 开始到输入第九个脉冲都与同步二进制加法器相同, 计入第九个脉冲后, 进入 1001 状态, 再计入一个脉冲需要输出进位信号并返回 0000 状态。电路结构如上所示, 当进入 1001 状态时, $Q_0 = Q_3 = 1$ 使得 G_3 输出为 1, 此时 $T_0 = 1, T_1 = 0, T_2 = 0, T_3 = 1$, 当第十个脉冲输入后, FF_1, FF_2 维持 0 不变, FF_0, FF_3 从 1 翻转回 0, 进入 0000 状态。

驱动方程为

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 Q_3' \\ T_2 = Q_0 Q_1 \\ T_3 = Q_0 Q_1 Q_2 + Q_0 Q_3 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_3' Q_1' + (Q_0 E_3')' Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + (Q_0 Q_1)' Q_2 \\ Q_3^* = (Q_0 Q_1 Q_2 + Q_0 Q_3) Q_3' + (Q_0 Q_1 Q_2 + Q_0 Q_3)' Q_3 \end{cases}$$

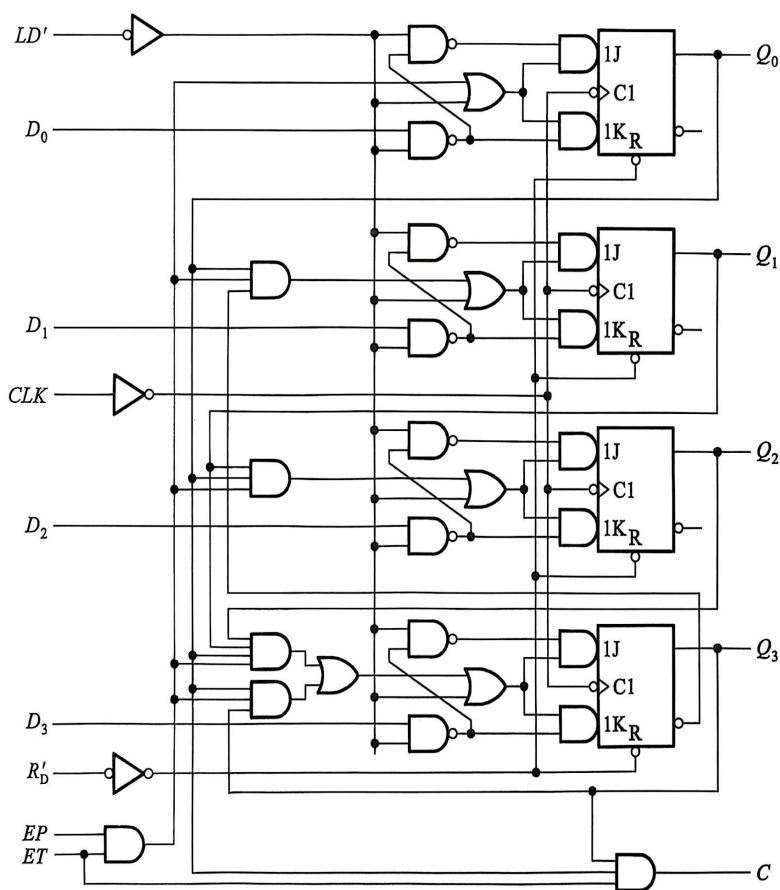


图 5.11: 同步十进制加法器 74160

4 位同步十进制加法计数器 74160, 异步置零、同步置数、保持功能均与 74161 相同。

5.2.2 同步加减计数器

同步减法计数器

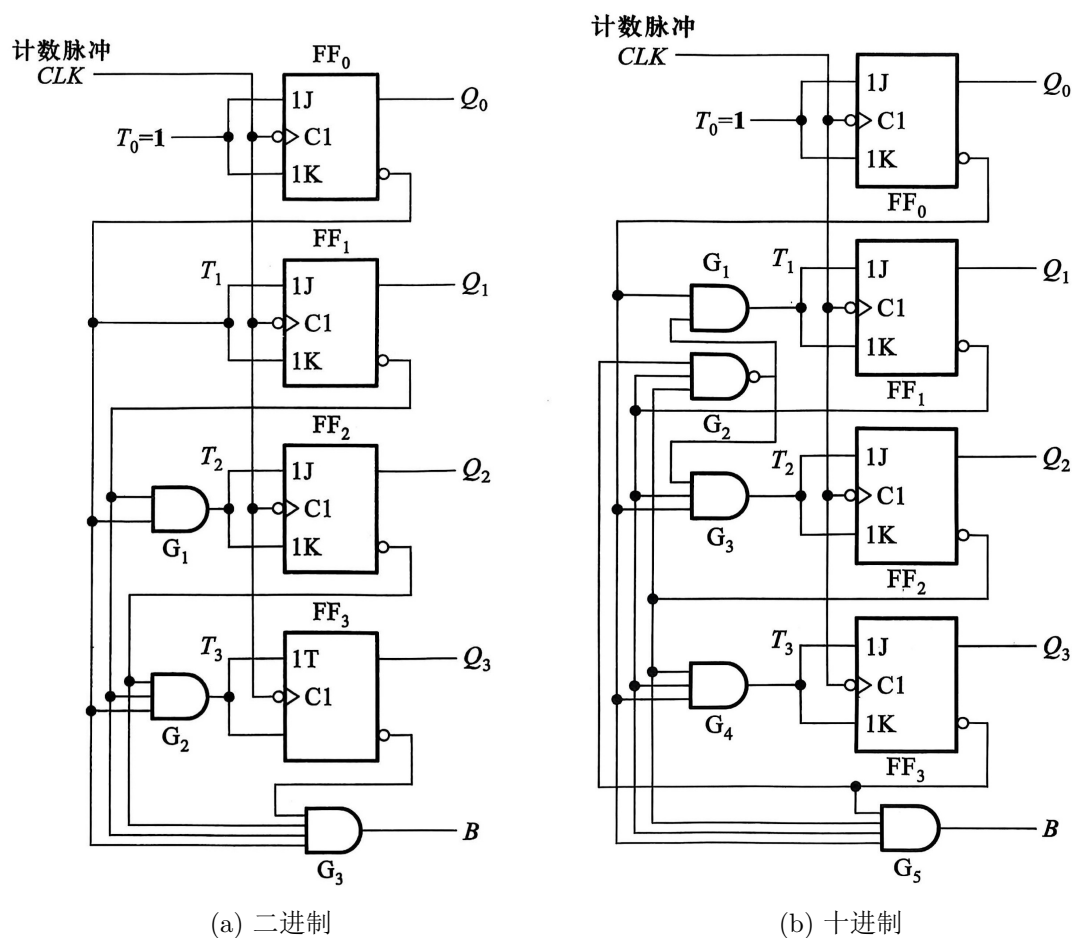


图 5.12: T 触发器构成的同步减法器

由于减法计数器中，只有第 i 位以下各位触发器同时为 0 时，再减 1 才触发第 i 位触发器翻转。因此采用控制 T 端方式时，逻辑式为 $T_i = \prod_{j=0}^{i-1} Q'_j$ ，采用控制时钟信号方式时，时钟信号为 $clk_i = CLK \prod_{j=0}^{i-1} Q'_j$ 。

同步十进制减法器同样是由同步二进制减法器演变而来，用与非门 G_2 输出的低电平封锁与门 G_1, G_3 ，使 $T_1 = T_2 = 0$ ，从而 FF_0, FF_3 翻转成 1 而 FF_1, FF_2 不变，实现从 0000 状态减 1 后跳变到 1001 状态。

同步加/减计数器

将同步加法器电路和同步减法器电路合并，并通过一根加/减控制线选择加法计数还是减法计数，即可得到同步加减计数器。

二进制加/减计数器输入端的逻辑式为

$$\begin{cases} T_0 = 1 \\ T_i = (U'/D)' \prod_{j=0}^{i-1} Q_j + (U'/D) \prod_{j=0}^{i-1} Q'_j \end{cases}$$

其中 $U'/D = 0$ 时为加法计数， $U'/D = 1$ 时为减法计数。

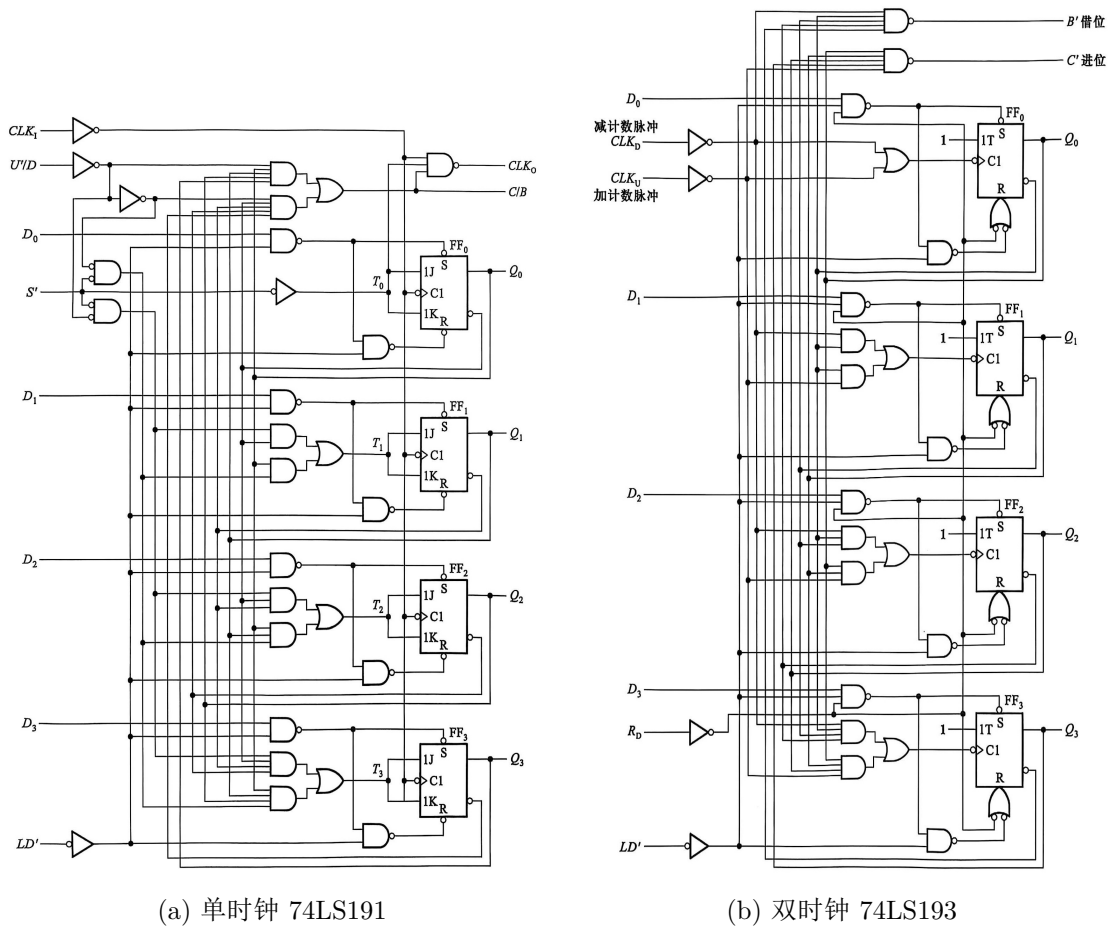


图 5.13: 同步十六进制加/减计数器

表 20: 同步十六进制加/减计数器 74LS191 功能表

CLK	S'	LD'	U'/D	工作状态
$\times$	1	1	$\times$	保持
$\times$	$\times$	0	$\times$	预置数
$\uparrow$	0	1	0	加法计数
$\uparrow$	0	1	1	减法计数

若加法计数脉冲和减法计数脉冲来自两个不同的脉冲源，则需要使用双时钟结构的加/减计数器计数。此类计数器以 74LS193 为例，采用控制时钟信号的控制方式，具有异步置零和同步预置数的功能。 CLK_U 和 CLK_D 计数脉冲在时间上应错开以免两种计数模式互相干扰。单时钟同步十进制加/减计数器有 74LS190 和 74LS168，双时钟的有 74LS192。

5.2.3 异步计数器

异步二进制计数器在做加 1 计数时是采取从低位到高位逐位进位的方式工作，其中的各个触发器不是同步翻转的。构成原则是每一位已经是 1 再记入 1 时变为 0 并产生进位信号使高位翻转。即将低位触发器输出接入高位触发器时钟输入端即可。

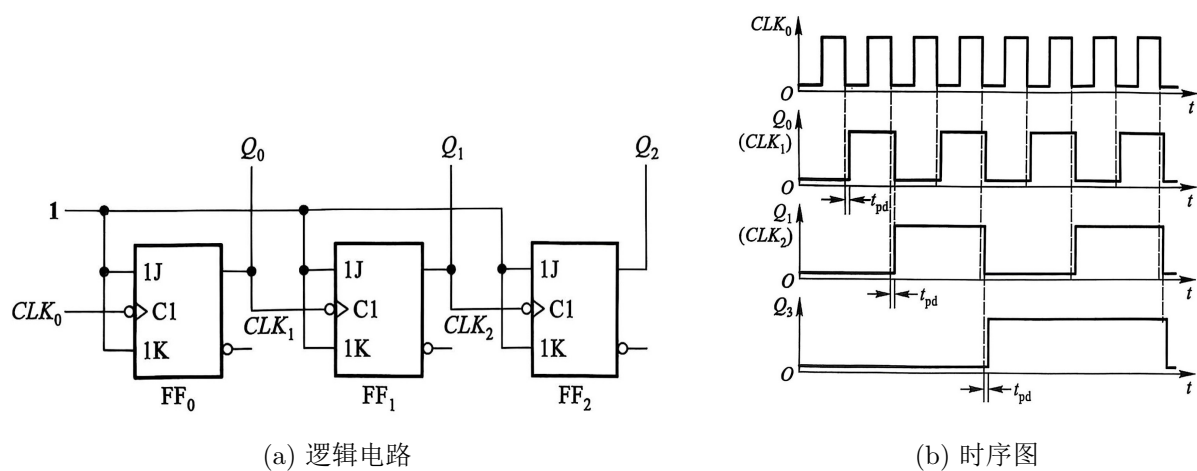


图 5.14: 异步二进制加法器

将 T 触发器按减法器规则联结, 则构成异步二进制减法计数器, 每一级触发器的进位脉冲应由 Q' 端输出。

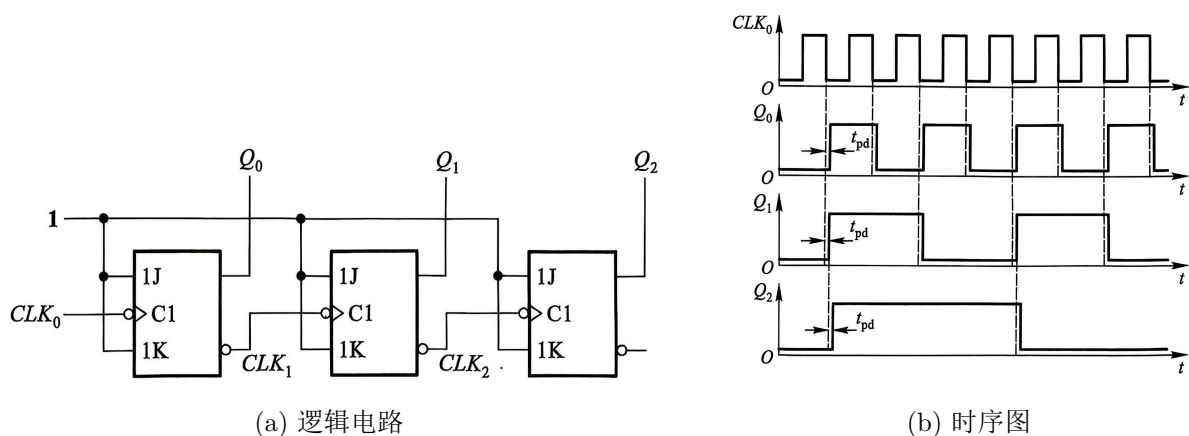


图 5.15: 异步二进制减法器

常用的异步二进制加法计数器有 4 位的 74LS293、74LS393、74HC393, 7 位的 CC4024, 12 位的 74HC4040 和 14 位的 74HC4020 等几种类型。

异步十进制加法器在 4 位异步二进制加法器基础上修改得到。

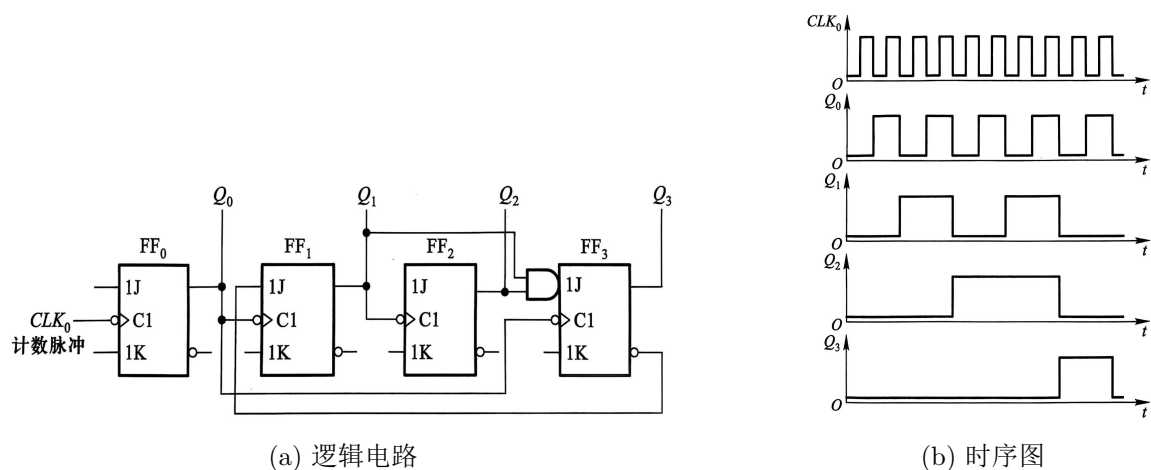


图 5.16: 异步十进制加法器

前八个脉冲和异步二进制加法计数器相同。第八个脉冲输入时, $J_3 = K_3 = 1$, Q_0 下降沿到达后 FF_3 由 0 变 1, 同时 J_1 也随 Q_3' 变回 0 状态。第九个脉冲输入后, 电路状态变为 1001, 第十个脉冲输入后, FF_0 翻转成 0, Q_0 下降沿使 FF_3 置零, 于是电路返回 0000。

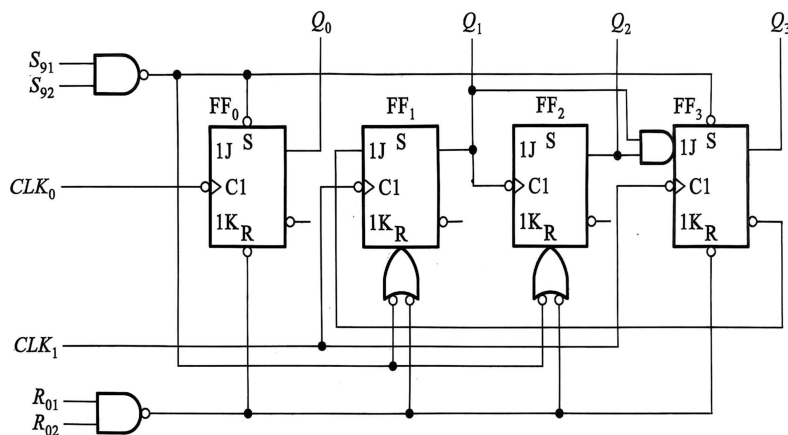


图 5.17: 二-五-十进制异步计数器 74LS290

FF_1, FF_3 的时钟端没有与 Q_0 连接在一起, 而是从 CLK_1 单独引出。若以 CLK_0 为输入端、 Q_0 为输出端, 则得到二进制计数器 (二分频器)。若以 CLK_1 为输入端、 Q_3 为输出端, 则得到五进制计数器 (五分频器)。若以 CLK_0 为输入端、 Q_3 为输出端, 则得到十进制计数器 (十分频器)。

电路有两个置零输入端 R_{01}, R_{02} 和置 9 输入端 S_{91}, S_{92} 。

和同步计数器相比, 异步计数器结构简单, 不用附加电路, 但是工作频率较低, 需要经过串级门电路延迟时间才能建立稳态, 且译码时存在竞争-冒险现象。

5.2.4 任意进制计数器的构成方法

N 进制计数器得到 M 进制计数器的方法:

- $M < N$ 时, 设法使之跳过 $N-M$ 个状态就可以得到, 有两种方法实现跳跃。

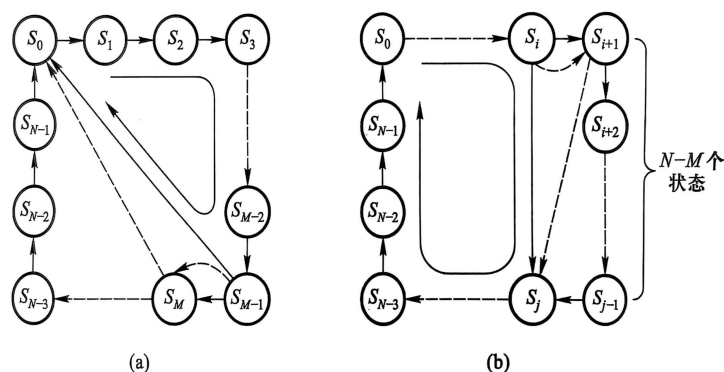


图 5.18: 置零法与置数法的状态转换图

- 置零法: 可以通过 S_M 状态译码产生置零信号加到异步置零端, 或者 S_{M-1} 状态译码产生置零信号加到同步置零端。
- 置位法: 同步计数器, 从 S_i 状态译出, 时钟信号到来后将数据置入计数器, 而对于异步计数器需要从 S_{i+1} 状态译出, 仅出现极短时间, 稳态不包含。

- $M > N$ 时，需要用多片 N 进制计数器组合。各片之间有不同连接方式。

— 串行进位法：以低位片的进位输出信号作为高位片的时钟输入信号。

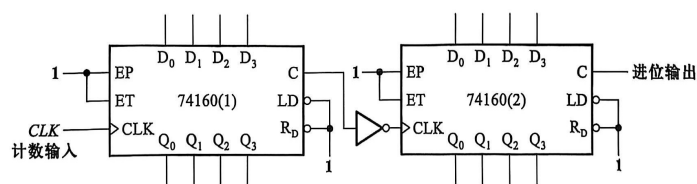


图 5.19: 串行进位法

— 并行进位法：以低位片的进位输出信号作为高位片的工作状态控制信号。

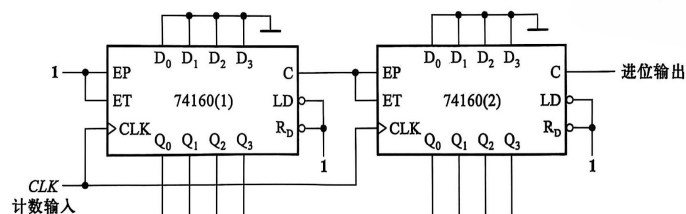


图 5.20: 并行进位法

— 整体置零法：将计数器连成大于 M 进制的计数器，然后在 M 状态时译出异步置零信号将计数器全部置零。

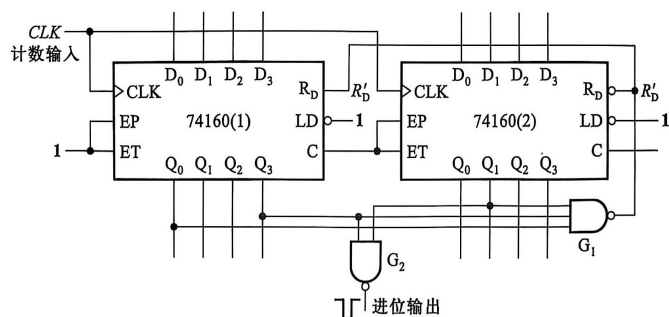


图 5.21: 整体置零法

— 整体置数法：将计数器连成大于 M 进制的计数器，然后在一个状态置入数据跳过多余状态。

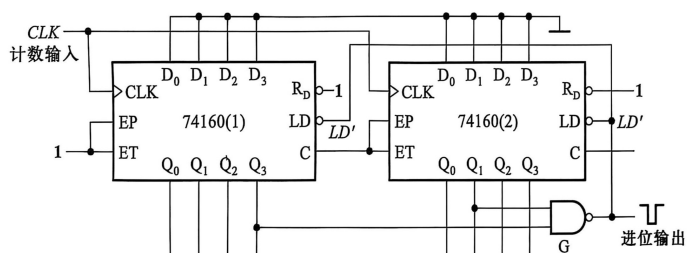


图 5.22: 整体置数法

5.2.5 顺序脉冲发生器

在数字系统中，要求系统按照事先规定的顺序进行一定的操作，这时就需要控制部分能给出一组在时间上有一定先后顺序的脉冲信号，再用这组脉冲形成所需要的各种控制信号。

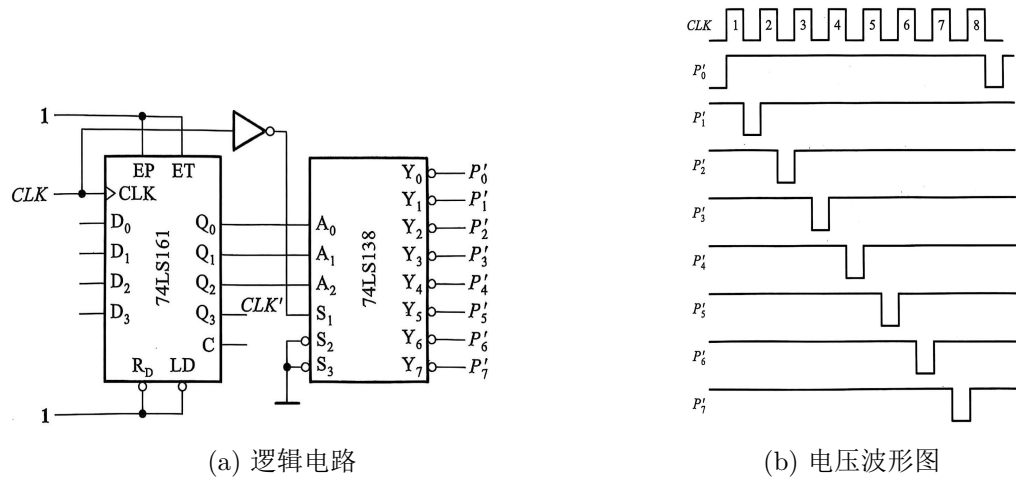


图 5.23: 顺序脉冲发生器

虽然 74LS161 是同步计数器，但是各个触发器的传输延迟时间不同，会产生竞争-冒险现象，可在 S_1 端加入选通脉冲，选通脉冲的有效时间与触发器的翻转时间错开。

5.2.6 序列信号发生器

在数字信号的传输和数字系统的测试中，需要用到一组特定的串行数字信号，即序列信号。

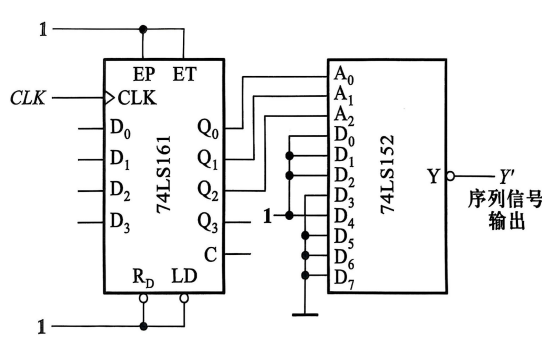


图 5.24: 序列信号发生器

当 CLK 信号不断加到计数器上时，计数器的输出 $Q_2Q_1Q_0$ 即数据选择器的地址输入 $A_2A_1A_0$ 按照设定好的顺序不断循环， $D'_0 \sim D'_7$ 的状态就循环依次出现在 Y' 端，产生不断循环的序列信号。修改序列信号只需对 $D_0 \sim D_7$ 的高低电平进行修改即可。

5.3 设计方法

5.3.1 同步时序逻辑电路的设计方法

1. 逻辑抽象，得出电路的状态转换图或状态转换

(a) 确定输入输出变量以及电路的状态数

(b) 定义输入输出逻辑状态和每个电路状态含义，并对状态进行顺序编号。

(c) 按照题意列出状态转换表或画出状态转换图。

2. 状态化简：相同输入下有相同输出的状态可以合并为一个状态。

3. 状态分配：又称状态编码，给每个电路状态对应的触发器状态组合。

4. 选定触发器的类型，求出电路的状态方程、驱动方程和输出方程

5. 根据得到的方程式画出逻辑图

6. 检查设计的电路能否自启动：在化简卡诺图时给任意项 $\times$ 指定了次态，如果这个指定的次态是有效循环中的状态，则可以自启动，如果不是则不能自启动。因此只需要保证给任意项指定次态时是有效循环内的状态即可。

5.3.2 异步时序逻辑电路的设计方法

由于异步电路触发器不是同时工作的，因此除了需要完成同步电路的各项工作的外，还需要给每个触发器选定合适的时钟信号。原则是：触发器状态翻转时一定要有时钟信号，触发器不翻转时时钟信号越少越好。

5.4 时序逻辑电路的竞争-冒险现象

时序逻辑电路的竞争-冒险现象包括两方面：一方面是组合逻辑电路的竞争-冒险现象；另一方面是存储电路的竞争-冒险现象，当输入信号和时钟信号同时改变时，到达同一触发器时间的不同可能产生竞争-冒险现象。

一般状态变化先完成后时钟信号才到来，如果时钟信号提前到来，就有可能产生错误的状态。为了确保时钟信号的边沿在新状态稳定后才到达，可以在时钟信号传输通道上增加反相器或缓冲器电路等来增加延迟环节。

一般发生在异步时序电路中。对于大型同步时序电路，由于每个门的带负载能力有限，一般会用一个时钟信号驱动几个门电路，再由这几个门电路驱动多个触发器，由于门电路传输延迟时间不同，也会产生时钟偏移，当时钟偏移超过延迟时间长度后，在后一时钟到来时原有状态已经发生了改变。对此可以使用反相器或在输出端与地间接入电容增加延迟时间。

6 脉冲波形的产生和整形电路

获得矩形脉冲波形的途径为：一是利用各种形式的多谐振荡电路直接产生所需要的矩形脉冲，二是通过各种整形电路将已有的周期性变化波形变换为符合要求的矩形脉冲。

矩形脉冲的主要参数

- 脉冲周期 T ：两个相邻脉冲之间的时间间隔。有时候也用频率 $f = 1/T$ 表示单位时间内脉冲重复的次数。
- 脉冲幅度 V_m ：脉冲电压的最大变化幅度。
- 脉冲宽度 t_w ：从脉冲前沿到达 $0.5V_m$ 起，到脉冲后沿到达 $0.5V_m$ 为止的一段时间。
- 上升时间 t_r ：脉冲上升沿从 $0.1V_m$ 上升到 $0.9V_m$ 所需要的时间。
- 下降时间 t_f ：脉冲下降沿从 $0.9V_m$ 下降到 $0.1V_m$ 所需要的时间。
- 占空比 q ：脉冲宽度与脉冲周期的比值，即 $q = t_w/T$ 。

6.1 555 定时器

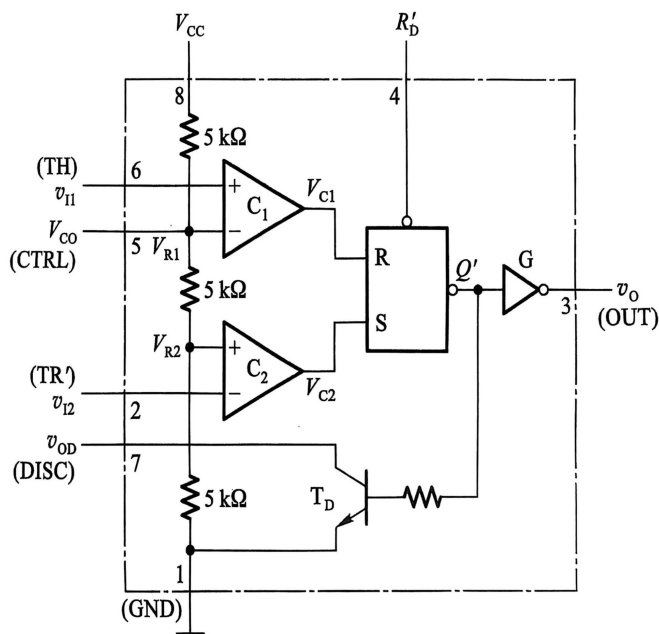


图 6.1: 555 定时器

比较器 C_1 输入端 TH 也称阈值端，比较器 C_2 的输入端 TR' 也称触发端。两个比较器的参考电压 V_{R1}, V_{R2} 由 V_{CC} 经三个 $5k\Omega$ 电阻分压得到，当控制电压 V_{CO} 悬空时， $V_{R1} = \frac{2}{3}V_{CC}$, $V_{R2} = \frac{1}{3}V_{CC}$ ，若 V_{CO} 外加固定电压，则 $V_{R1} = V_{CO}$, $V_{R2} = \frac{1}{2}V_{CO}$ 。

SR 锁存器的输入为比较器的输出 V_{C1}, V_{C2} ， R'_D 为 SR 锁存器的置零输入端。利用 SR 的锁存功能实现滞回特性。且锁存器的反相输出 Q' 通过集电极开路输出的放电三极管 T_D 引出，方便构建反馈回路。

表 21: 555 定时器的功能表

输入			输出	
R'_D	v_{I1} (TH)	v_{I2} (TR')	v_O	T_D 状态
0	×	×	低	导通
1	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	低	导通
1	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	不变	不变
1	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	高	截止
1	$> \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	高	截止

6.2 施密特触发电路

施密特触发电路输入信号从低电平上升时电路状态转换的对应输入电平和从高电平下降时对应的输出电平不同，且电路转换过程中通过内部的正反馈使输出电压的边沿变得很陡。

6.2.1 施密特触发电路的结构和原理

基本的施密特触发器是由共射电阻耦合的两级正反馈放大器。

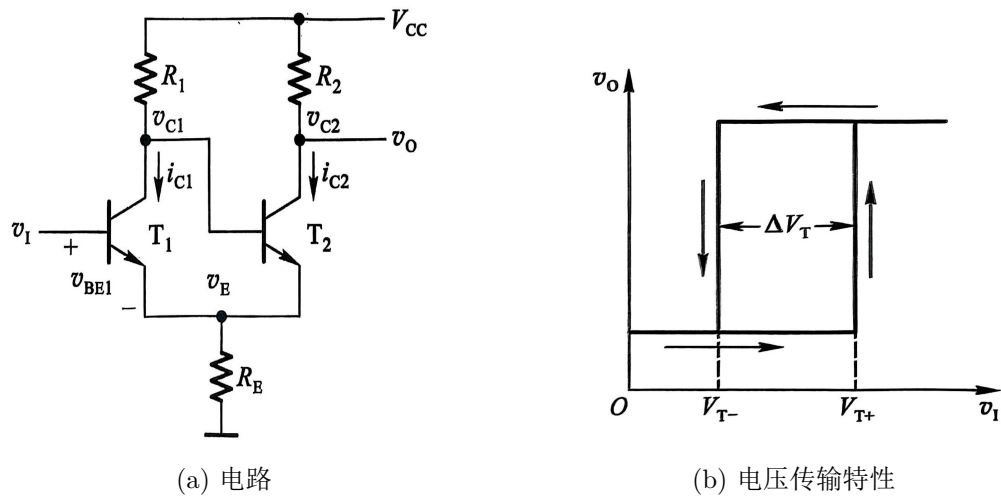


图 6.2: 施密特触发电路

当 $v_I = 0$ 时， $v_{BE1} = v_I - v_E < 0.7V$ ， T_1 截止， T_2 饱和导通。当 v_I 逐渐升高至 $v_{BE1} > 0.7V$ 时， T_1 进入导通状态，发生正反馈

$$v_I \uparrow \rightarrow i_{C1} \uparrow \rightarrow v_{C1} \downarrow \rightarrow i_{C2} \downarrow \rightarrow v_E \downarrow \rightarrow v_{BE1} \uparrow \rightarrow i_{C1} \uparrow \uparrow$$

电路迅速转换为 T_1 饱和导通， T_2 截止的状态。

同理当 v_I 从高电平逐渐下降时，下降到 $v_{BE1} = 0.7V$ 左右时， i_{C1} 开始减小，引发另一个正反馈

$$v_I \downarrow \rightarrow i_{C1} \downarrow \rightarrow v_{C1} \uparrow \rightarrow i_{C2} \uparrow \rightarrow v_E \uparrow \rightarrow v_{BE1} \downarrow \rightarrow i_{C1} \downarrow \downarrow$$

电路迅速转换为 T_1 截止， T_2 饱和导通的状态。

由于 $R_1 > R_2$ ，所以 T_1 饱和导通的 v_E 必然低于 T_2 饱和导通的 v_E ，因此 T_1 由截止变为导通的输入电压必然高于由导通变为截止的输入电压，因此存在滞环特性，通常用 V_{T+} 和 V_{T-} 分别表示上升时状态改变对应的输入电压和下降时状态改变对应的输入电压，分别称为正向和负向阈值电压，回差电压 $|\Delta V_T| = |V_{T+} - V_{T-}|$ 。

T_2 饱和导通时输出低电平为 $v_O = \frac{V_{CC}R_E}{R_2 + R_E}$, 不为 0, 因此还需要电平变换电路变换为标准逻辑低电平。

6.2.2 用门电路组成的施密特触发电路

反相器 G_1, G_2 为 CMOS 门电路, 阈值电压 $V_{TH} = \frac{1}{2}V_{DD}$, 且 $R_1 < R_2$ 。

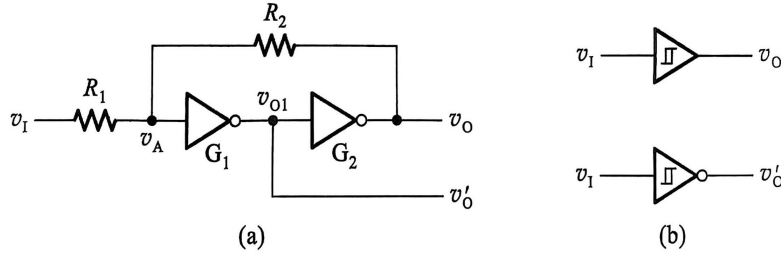


图 6.3: 电路

图 6.4: CMOS 门电路组成的施密特触发电路

当 $v_I = 0$ 时, G_1, G_2 接成了正反馈, 因此 $v_O = V_{OL} = 0$, 此时 G_1 输入 $v_A = 0$ 。

当 v_I 从 0 逐渐升高达到 $v_A = V_{TH}$ 时, 由于 G_1 进入转折区, 将引发正反馈

$$v_A \uparrow \rightarrow v_{O1} \downarrow \rightarrow v_O \uparrow \rightarrow v_A \uparrow \uparrow$$

电路状态迅速转换为 $v_O = V_{OH} = V_{DD}$ 。此时对应的输入电平满足 $v_A = V_{TH} = \frac{R_2}{R_1 + R_2}V_{T+}$, 即

$$V_{T+} = \frac{R_1 + R_2}{R_2}V_{TH} = (1 + \frac{R_1}{R_2})V_{TH}$$

当 v_I 从高电平下降到 $v_A = V_{TH}$ 时, 引发另一个正反馈

$$v_A \downarrow \rightarrow v_{O1} \uparrow \rightarrow v_O \downarrow \rightarrow v_A \downarrow \downarrow$$

电路状态迅速转换为 $v_O = V_{OL} = 0$ 。此时对应的输入电平满足 $v_A = V_{TH} = V_{DD} - (V_{DD} - V_{T-})\frac{R_2}{R_1 + R_2}$, 即

$$V_{T-} = \frac{R_1 + R_2}{R_2}V_{TH} - \frac{R_1}{R_2}V_{DD} = (1 - \frac{R_1}{R_2})V_{TH}$$

因此电路的回差电压: $\Delta V_T = V_{T+} - V_{T-} = 2\frac{R_1}{R_2}V_{TH}$, 同相和反相电压传输特性分别如下所示:

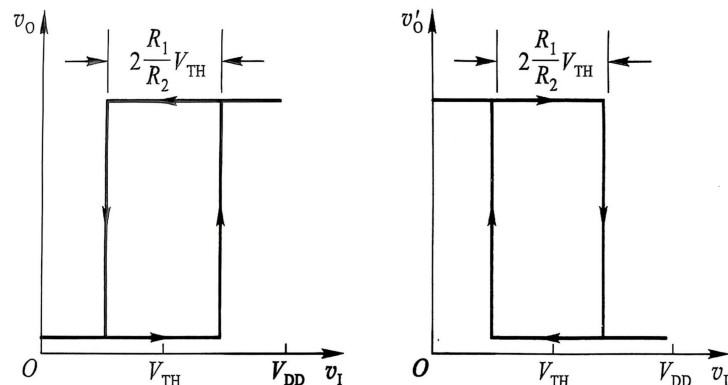


图 6.5: 电压传输特性

6.2.3 用 555 定时器接成的施密特触发电路

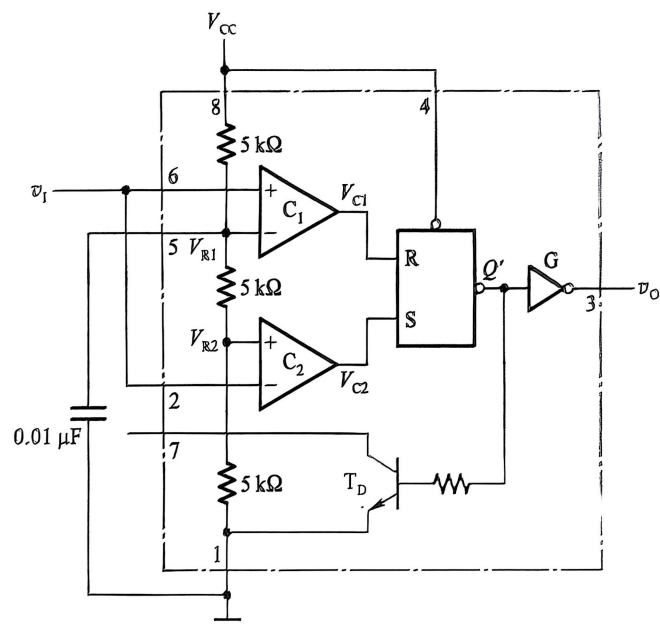


图 6.6: 555 定时器接成的施密特触发电路

将 555 定时器的 2 脚和 6 脚（两个比较器的输入端）接到一起作为信号输入端即可得到施密特触发电路。如果没有外接电压，则阈值电压： $V_{T+} = \frac{2}{3}V_{CC}$, $V_{T-} = \frac{1}{3}V_{CC}$ ；回差电压： $\Delta V_T = V_{T+} - V_{T-} = \frac{1}{3}V_{CC}$ 。如果外接控制电压 V_{CO} ，则阈值电压： $V_{T+} = V_{CO}$, $V_{T-} = \frac{1}{2}V_{CO}$ ；回差电压： $\Delta V_T = V_{T+} - V_{T-} = \frac{1}{2}V_{CO}$ 。

6.2.4 施密特触发电路的应用

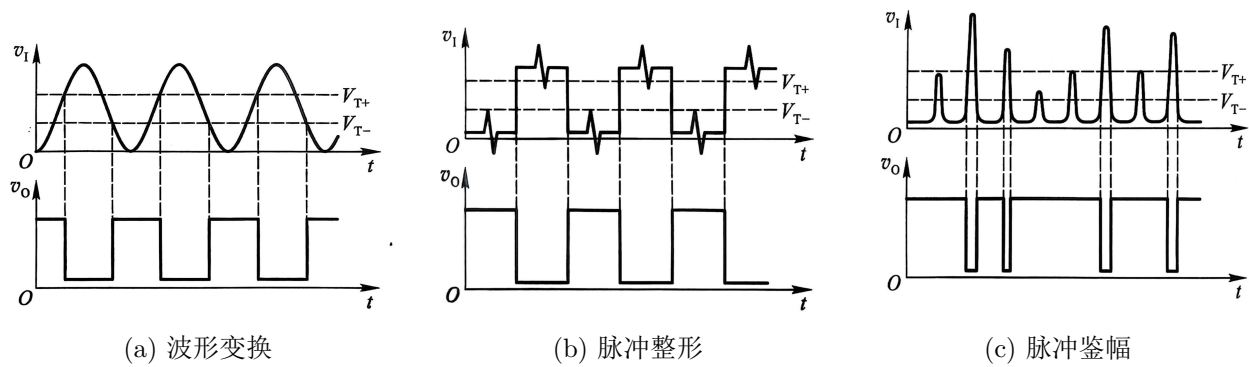


图 6.7: 施密特触发电路的应用

6.3 单稳态电路

具有稳态和暂稳态两个不同的工作状态；在外界脉冲作用下，能从稳态翻转到暂稳态，在暂稳态维持一段时间后自动返回稳态；暂稳态维持时间取决于电路本身的参数，与触发脉冲的宽度和幅度无关。

6.3.1 门电路组成的单稳态电路

微分型单稳态电路

利用 CMOS 门电路和 RC 微分电路构成的微分型单稳态电路。CMOS 门电路 $V_{TH} = \frac{1}{2}V_{DD}$ 。

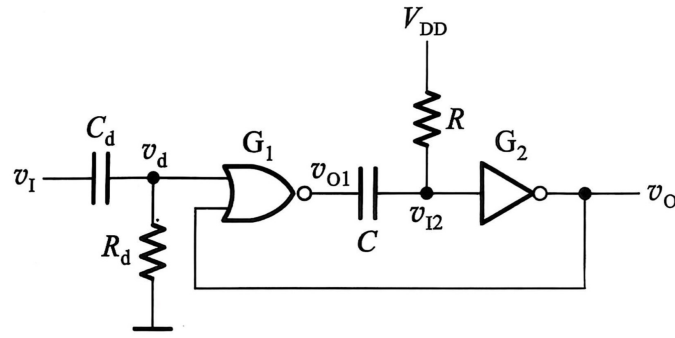


图 6.8: 微分型单稳态电路

稳态时, $v_I = 0, v_{I2} = V_{DD}$, 因此 $v_O = 0, v_{O1} = V_{DD}$ 。

当触发脉冲加到输入端时, 在 R_d 和 C_d 组成的微分电路输出端得到很窄的正负脉冲 v_d 。当 v_d 上升到 V_{TH} 后, 将引发正反馈

$$v_d \uparrow \rightarrow v_{O1} \downarrow \rightarrow v_{I2} \downarrow \rightarrow v_O \uparrow \rightarrow v_{O1} \downarrow \downarrow$$

使 v_{O1} 迅速跳变为低电平, 由于电容电压不能突变, 则 v_{I2} 也跳变至低电平, 并使 v_O 跳变为高电平, 电路进入暂稳态。即使 v_d 回到低电平, v_O 的高电平仍将维持。

此时, 电容 C 开始充电, 当 $v_{I2} = V_{TH}$ 时, 引发另一个正反馈

$$v_{I2} \uparrow \rightarrow v_O \downarrow \rightarrow v_{O1} \uparrow \rightarrow v_{I2} \uparrow \uparrow$$

如果此时 v_d 消失, 则 v_{O1}, v_{I2} 迅速跳变为高电平, 使输出反馈 $v_O = 0$ 的状态。同时, 电容 C 通过电阻 R 和门电路 G_2 的输入保护放电, 直至电容电压为 0, 电路恢复稳态。

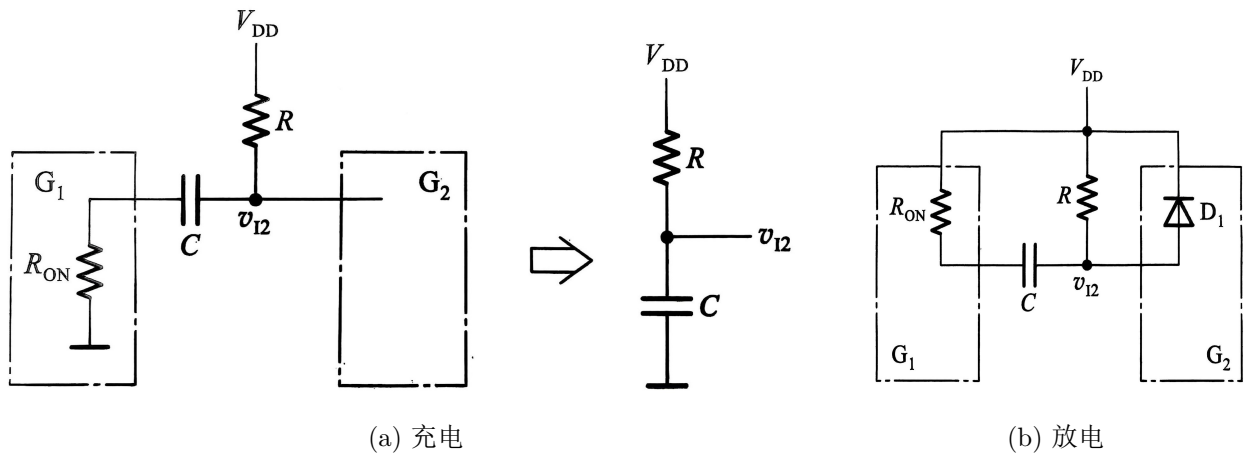


图 6.9: 微分型单稳态电路电容充放电电路

脉冲宽度为电容 C 开始充电至 v_{I2} 上升到 V_{TH} 的时间, 即

$$t_w = RC \ln \frac{V_{DD} - 0}{V_{DD} - V_{TH}} = RC \ln 2 = 0.69RC$$

由 RC 电路可知, 恢复时间 $t_{re} = (3 \sim 5)R_{ON}C$ 。

分辨时间为保证电路正常工作情况下, 允许两个相邻触发脉冲之间的最小时间, 因此 $t_d = t_w + t_{re}$ 。

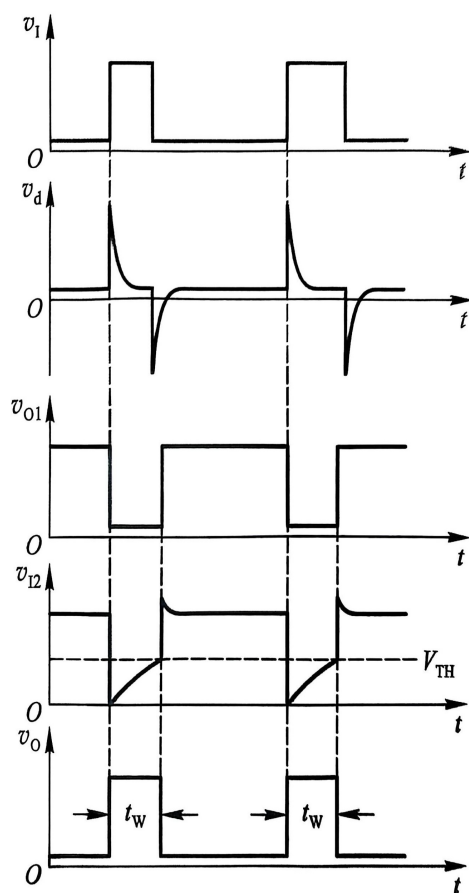


图 6.10: 微分型单稳态电路输出波形

积分型单稳态电路

利用 TTL 门电路和 RC 积分电路组成积分型单稳态电路。为保证 v_{O1} 为低电平时 $v_A < V_{TH}$ ，电阻阻值不能选择太大。

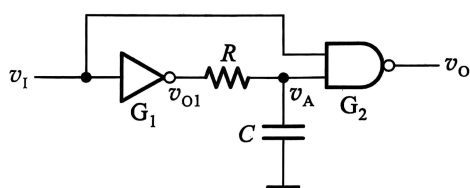


图 6.11: 积分型单稳态电路

稳态时, $v_I = 0, v_O = V_{OH}, v_A = v_{O1} = V_{OH}$ 。

当触发脉冲加到输入端时, v_{O1} 跳变到低电平, 由于电容电压不能突变, $v_A > V_{TH}$ 。此时 G_2 两个输入端都为高电平, $v_O = V_{OL}$, 进入暂稳态。

此时, 电容 C 开始充电, 当 $v_A = V_{TH}$ 时, v_O 回到高电平。等到 v_I 返回低电平后, v_{O1} 重新变为高电平, 向电容充电。经过恢复时间 t_{re} , v_A 恢复为高电平, 电路恢复稳态。

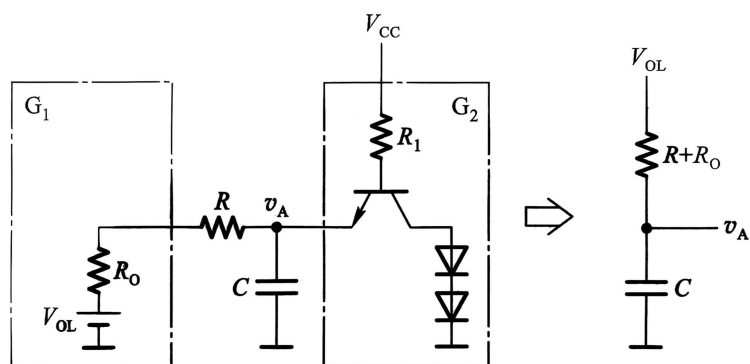


图 6.12: 积分型单稳态电路电容充电电路

脉冲宽度为 (R_O 为 G_1 输出低电平的输出电阻)

$$t_w = (R + R_O)C \ln \frac{V_{OL} - V_{OH}}{V_{OL} - V_{TH}}$$

恢复时间为 $t_{re} = (3 \sim 5)(R + R'_O)C$, 其中 R'_O 为 G_1 输出高电平的输出电阻。

分辨时间为 $t_d = t_{TR} + t_{re}$ 。

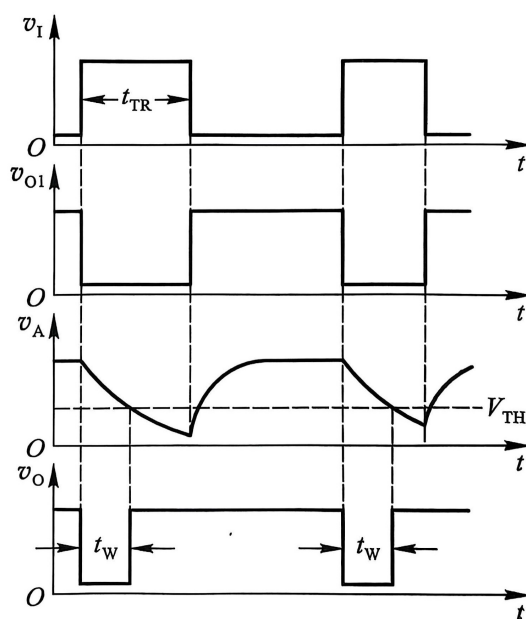


图 6.13: 积分型单稳态电路输出波形

积分型单稳态电路但是在尖峰脉冲下不会输出足够宽度的脉冲, 因此可以加入正反馈实现窄脉冲触发。

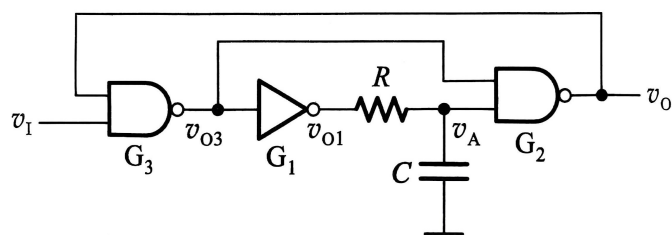


图 6.14: 改进的积分型单稳态电路

6.3.2 集成单稳态电路

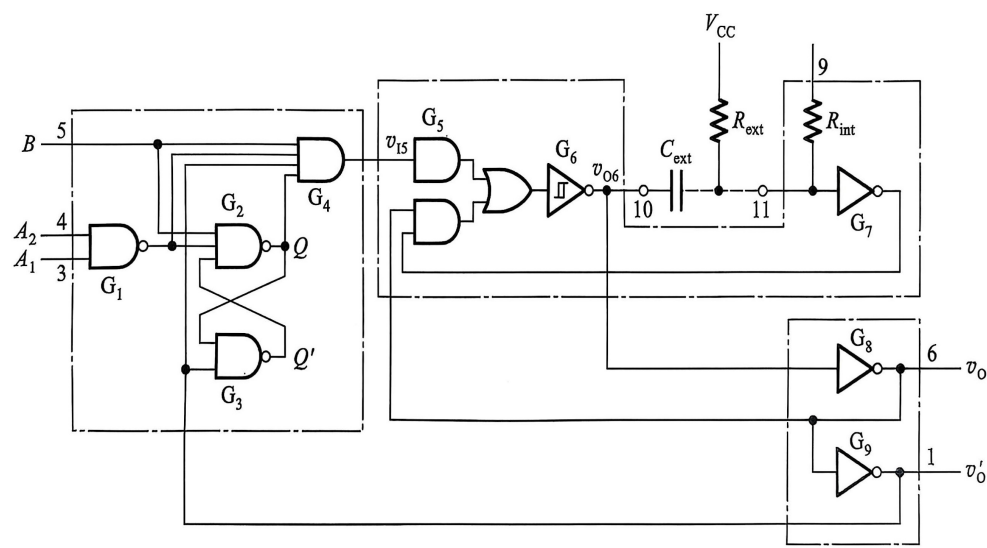


图 6.15: 集成单稳态电路 74121

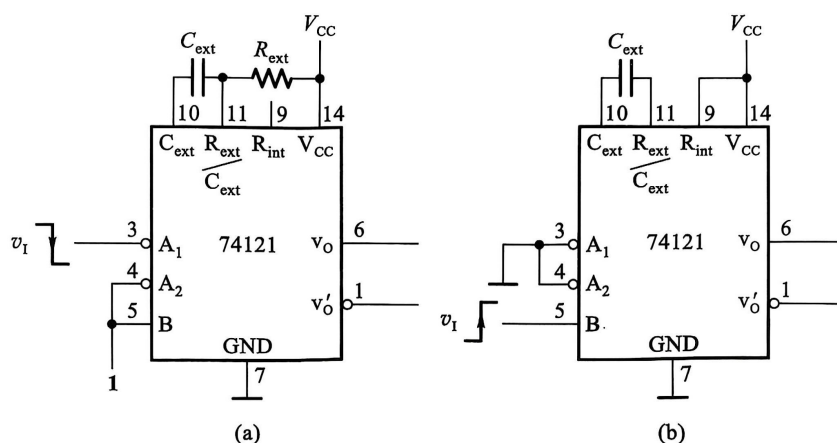
门 G_5, G_6, G_7 和外接电阻 R_{ext} 、外接电容 C_{ext} 组成微分型单稳态电路。

门 $G_1 \sim G_4$ 组成输入控制电路，上升沿触发由 B 端输入， A_i 中至少一个接低电平。脉冲上升沿到达时， G_4 输出高电平进入暂稳态，输出端跳变为 $v_O = 1$ ， v'_O 低电平将 G_2, G_3 锁存器置零，使 G_4 输出变回低电平。下降沿触发则由 A_i 其中一个输入， B 端接高电平。

输出缓冲电路由 G_8, G_9 组成，提高带负载能力。

表 22: 集成单稳态电路 74121 的功能表

输入			输出	
A_1	A_2	B	v_o	v'_o
0	×	1	0	1
×	0	1	0	1
×	×	0	0	1
1	1	×	0	1
1	↓	1	⌋	⌋
↓	1	1	⌋	⌋
↓	↓	1	⌋	⌋
0	×	↑	⌋	⌋
×	0	↑	⌋	⌋



(a) 使用外接电阻 R_{ext} (下降沿触发) (b) 使用内部电阻 R_{int} (上升沿触发)

图 6.16: 74121 的外部连接方法

输出脉宽 $t_w = 0.69R_{ext}C_{ext}$, 一般 R_{ext} 取值在 $2\sim 30\text{k}\Omega$ 之间, C_{ext} 取值在 $10\text{pF}\sim 10\mu\text{F}$ 之间, 得到的 t_w 范围为 $20\text{ns}\sim 200\text{ms}$ 。也可以使用内部电阻 $R_{int} \approx 2\text{k}$ 代替外部电阻。

6.3.3 用 555 定时器接成的单稳态电路

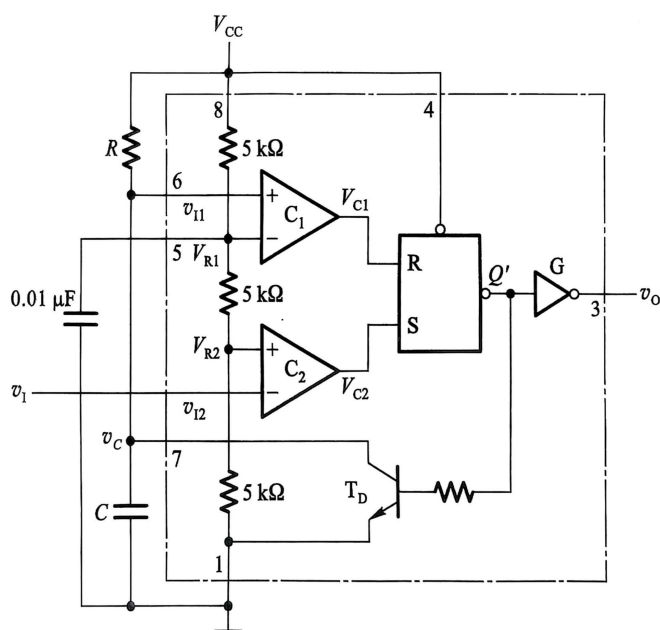


图 6.17: 555 定时器接成的单稳态电路

将 2 脚 (比较器 C_2 输入端) 作为外加触发脉冲的输入端, 6 脚 (比较器 C_1 输入端) 通过上拉电阻拉至 V_{CC} , 7 脚 (放电管输出) 通过电容 C 和地相连, 并直接与 6 脚相连构成反馈回路。

电容 C 通过电阻 R 进行充电, 并通过放电三极管 T_D 进行迅速放电。脉冲宽度为

$$t_w = RC \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} = RC \ln 3 \approx 1.1RC$$

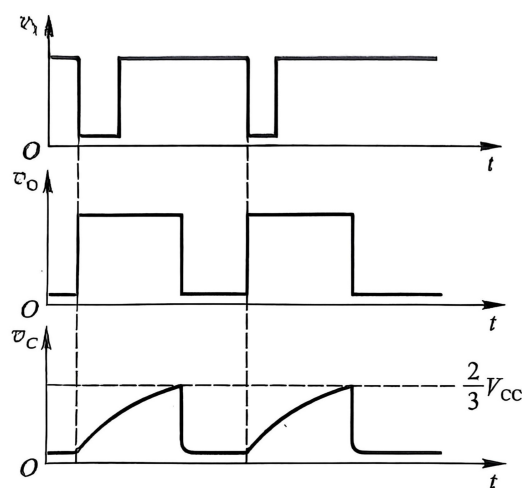


图 6.18: 555 定时器接成的单稳态电路波形

6.4 多谐振荡电路

自激振荡电路，在接通电源后，不需要外加触发信号便能自动地产生矩形脉冲。由于矩形波含有丰富的高次谐波分量，因此称矩形波振荡电路为多谐振荡电路。

6.4.1 对称式多谐振荡电路

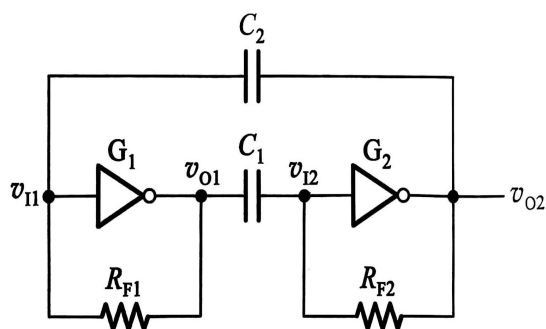


图 6.19: 对称式多谐振荡电路

为了产生自激振荡，电路不能有稳定状态，需要使反相器工作在放大状态， $A_v > 1$ ，则只要输入电压有微小扰动就会因正反馈放大而引起振荡。

由叠加定理得输入电压为

$$v_I = \frac{R_{F1}}{R_1 + R_{F1}}(V_{CC} - V_{BE}) + \frac{R_1}{R_1 + R_{F1}}v_O$$

令 $v_O = 0$ 即得静态工作点电压为 $v_I = \frac{R_{F1}}{R_1 + R_{F1}}(V_{CC} - V_{BE})$ 。

v_{I1} 有微小的扰动后，会产生正反馈

$$v_{I1} \uparrow \rightarrow v_{O1} \downarrow \rightarrow v_{I2} \downarrow \rightarrow v_{O2} \uparrow \rightarrow v_{I1} \uparrow \uparrow$$

使 v_{O1} 迅速跳变为低电平、 v_{O2} 迅速跳变为高电平，电路进入第一个暂稳态，电容 C_1 开始充电， C_2 开始放电，充放电回路及等效电路如下所示。

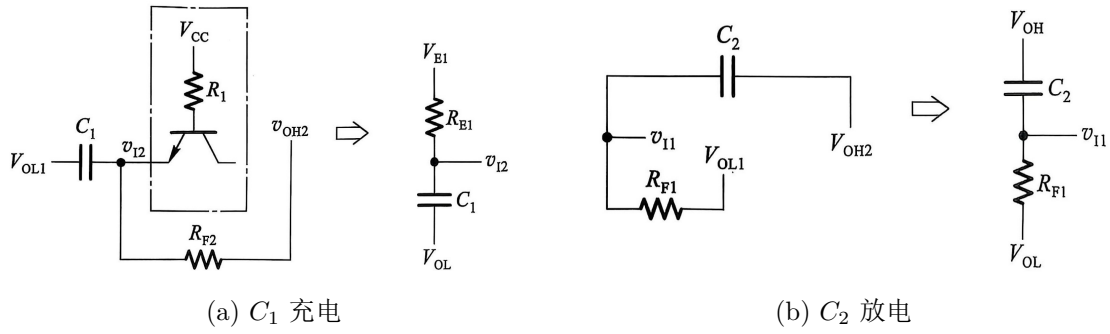


图 6.20: 对称多谐振荡电路电容充放电等效电路

$$R_{E1} = \frac{R_1 R_{F2}}{R_1 + R_{F2}} V_{E1} = V_{OH} + \frac{R_{F2}}{R_1 + R_{F2}} (V_{CC} - V_{OH} - V_{BE})$$

由于 C_1 经两条支路充电, 速度较快, v_{I2} 先上升到阈值电压, 引起正反馈

$$v_{I2} \uparrow \rightarrow v_{O2} \downarrow \rightarrow v_{I1} \downarrow \rightarrow v_{O1} \uparrow \rightarrow v_{I2} \uparrow \uparrow$$

使得 v_{O2} 迅速跳变为低电平、 v_{O1} 迅速跳变为高电平, 电路进入第二个暂稳态, 电容 C_2 开始充电, C_1 开始放电, 充放电过程与第一个暂稳态完全对应。

第二个暂稳态结束后又跳变回第一个暂稳态, 在两个暂稳态之间往复振荡, 输出端产生矩形脉冲输出。

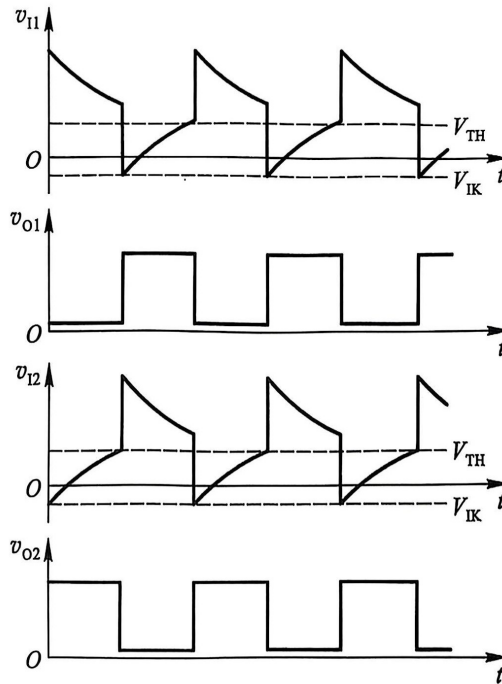


图 6.21: 对称式多谐振荡电路波形

由于电路对称性, 总振荡周期 T 等于第一个暂稳态的持续时间 T_1 的两倍, 而 C_1 充电由 TTL 门电路输入反向钳位二极管决定的 V_{IK} 充至 V_{E1} , 在 $R_{F1} = R_{F2} = R_F, C_1 = C_2 = C$ 的条件下, 振荡周期为

$$T = 2T_1 = 2R_E C \ln \frac{V_E - V_{IK}}{V_E - V_{TH}}$$

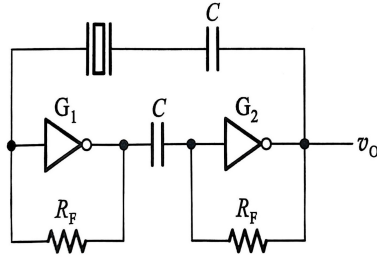


图 6.22: 石英晶体多谐振荡电路

可以在振荡电路中将石英晶体和耦合电容串联得到石英晶体多谐振荡电路，振荡频率为石英晶体的固有谐振频率 f_0 。

6.4.2 非对称式多谐振荡电路

由于静态时 G_1 工作在转折区，因此可以直接将输出接到 G_2 的输入端，得到一个静态偏置电压处于转折区上，因此可以去掉 C_1, R_{F2} ，得到非对称式多谐振荡电路。

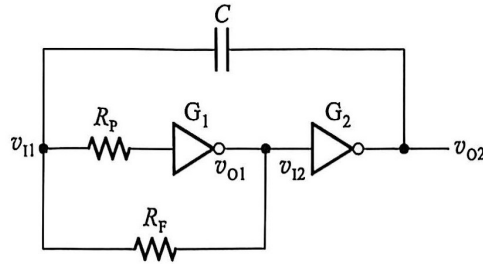


图 6.23: 非对称式多谐振荡电路

静态时 CMOS 没有输入电流， R_F 压降为零，则 $v_{O1} = v_{I1}$ ， G_1, G_2 工作在转折区中点。

当 v_{I1} 产生微小扰动时，引发正反馈

$$v_{I1} \uparrow \rightarrow v_{I2} \downarrow \rightarrow v_{O2} \uparrow \rightarrow v_{I1} \uparrow \uparrow$$

使 v_{O1} 迅速跳变为低电平、 v_{O2} 迅速跳变为高电平，电路进入第一个暂稳态，电容 C 开始放电。

当 $v_{I1} = V_{TH}$ 时，引发正反馈

$$v_{I1} \downarrow \rightarrow v_{I2} \uparrow \rightarrow v_{O2} \downarrow \rightarrow v_{I1} \downarrow \downarrow$$

使 v_{O1} 迅速跳变为高电平、 v_{O2} 迅速跳变为低电平，电路进入第二个暂稳态，电容 C 开始充电。

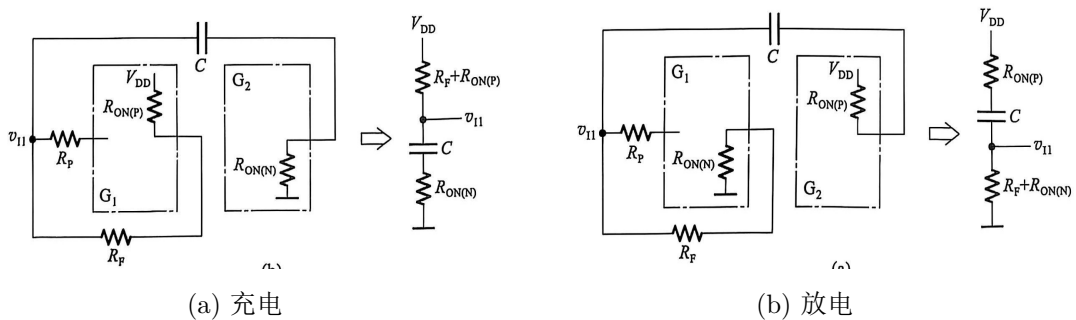


图 6.24: 非对称多谐振荡电路电容充放电等效电路

根据电容充放电电路可以求得充电时间分别为

$$T_1 = R_F C \ln \frac{V_{DD} - (V_{TH} - V_{DD})}{V_{DD} - V_{TH}} = R_F C \ln 3 \quad T_2 = R_F C \ln \frac{0 - (V_{TH} + V_{DD})}{0 - V_{TH}} = R_F C \ln 3$$

则振荡周期为

$$T = T_1 + T_2 = 2R_F C \ln 3 = 2.2R_F C$$

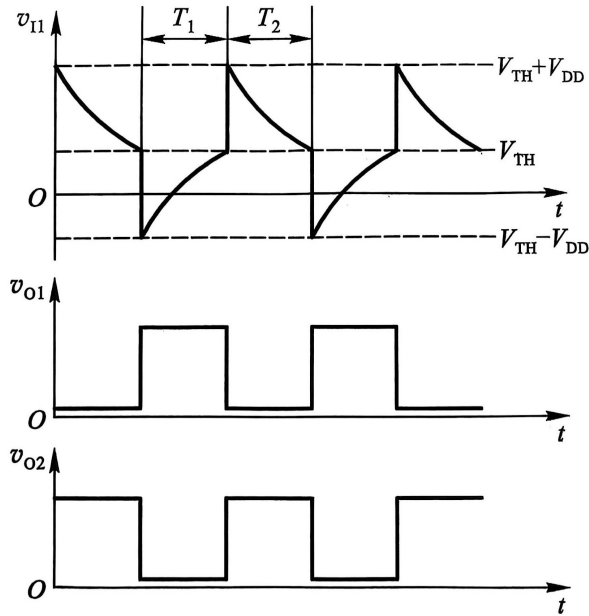


图 6.25: 非对称式多谐振荡电路波形

若是使用 TTL 门电路, $v < V_{TH}$ 时不能不计输入电流, 充放电等效电路会复杂一些, 且占空比不为 50%。

6.4.3 环形振荡电路

利用闭合回路的正反馈可以产生自激振荡, 利用闭合回路的延迟负反馈作用同样也能产生自激振荡。

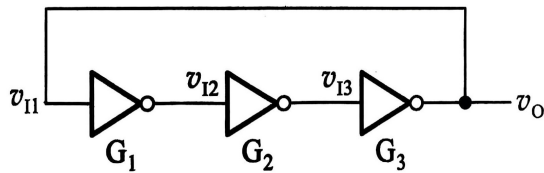


图 6.26: 环形振荡电路

环形振荡电路将奇数个反相器首尾相连而成。电路没有稳定状态。对于 3 个反相器组成的环形振荡电路, v_{I1} 产生的微小正跳变经过 t_{pd1} 后产生了一个幅度更大的负跳变, 再经过 t_{pd2} 后产生了一个更大的正跳变, 最后经过 t_{pd3} 在输出端产生一个更大的负跳变并反馈回 v_{I1} 。因此经过 $t_{pd1} + t_{pd2} + t_{pd3} = 3t_{pd}$ 的时间后, v_{I1} 又跳变回低电平。串联 n 个反相器的环形振荡电路振荡周期为 $T = 2nt_{pd}$ 。

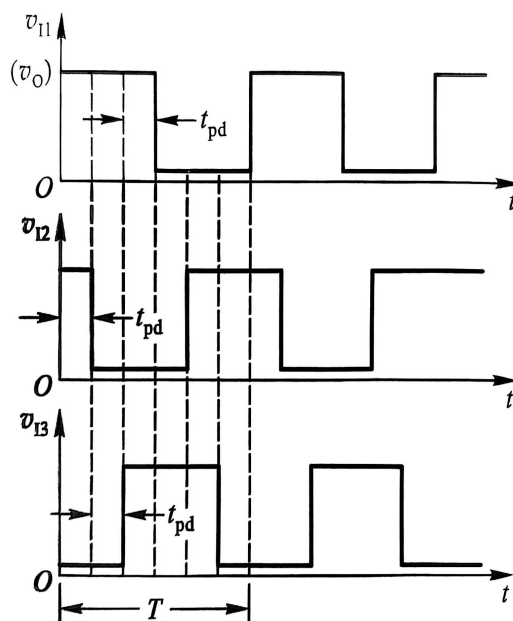
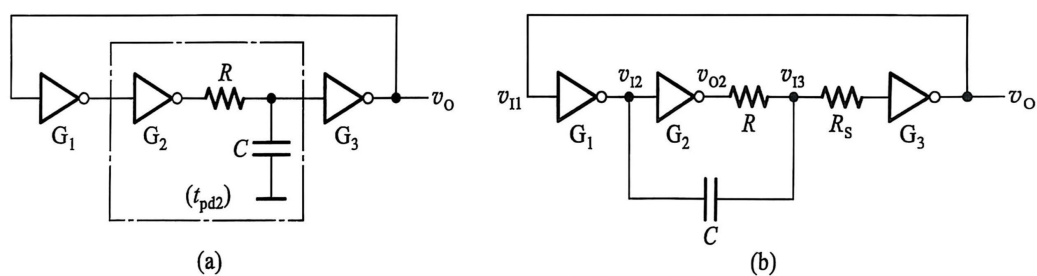


图 6.27: 环形振荡电路波形

由于门电路传输时间极短, 因此得到的振荡频率很大且不好调节, 可以引入 RC 延迟环节组成带 RC 延迟的环形振荡电路。为了进一步加大 RC 电路充放电时间, 将电容 C 的接地端接入 G_1 的输出端上, v_{I2} 的跳变能先让 v_{I3} 产生相同跳变后再充电, 加长了充电时间, 相当于加大了传输延迟时间。



(a) 原理性电路 (b) 实用的改进电路

图 6.28: 带 RC 延迟的环形振荡电路

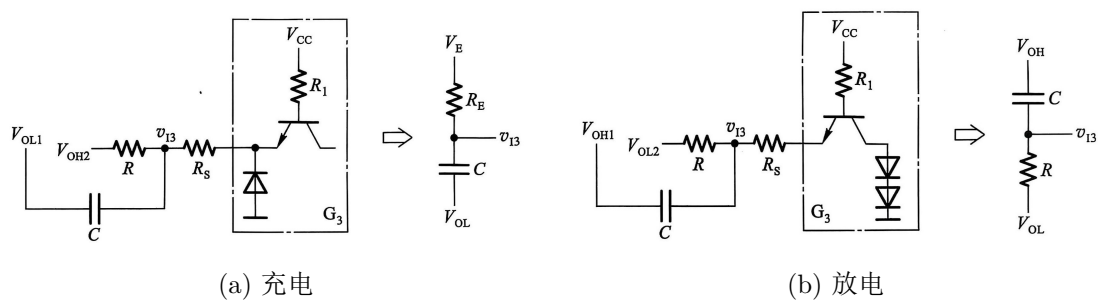


图 6.29: 带 RC 延迟的环形振荡电路电容充放电等效电路

由等效电路可得充放电时间分别近似为

$$T_1 = R_E C \ln \frac{V_E - [V_{TH} - (V_{OH} - V_{OL})]}{V_E - V_{TH}} \approx RC \ln \frac{2V_{OH} - V_{TH}}{V_{OH} - V_{TH}}$$

$$T_2 = R_E C \ln \frac{V_{TH} + (V_{OH} - V_{OL}) - V_{OL}}{V_{TH} - V_{OL}} \approx RC \ln \frac{V_{OH} + V_{TH}}{V_{TH}}$$

假设 $V_{OH} = 3V, V_{TH} = 1.4V$, 则电路的振荡周期约为

$$T = T_1 + T_2 = RC \ln \left(\frac{2V_{OH} - V_{TH}}{V_{OH} - V_{TH}} + \frac{V_{OH} + V_{TH}}{V_{TH}} \right) = 2.2RC$$

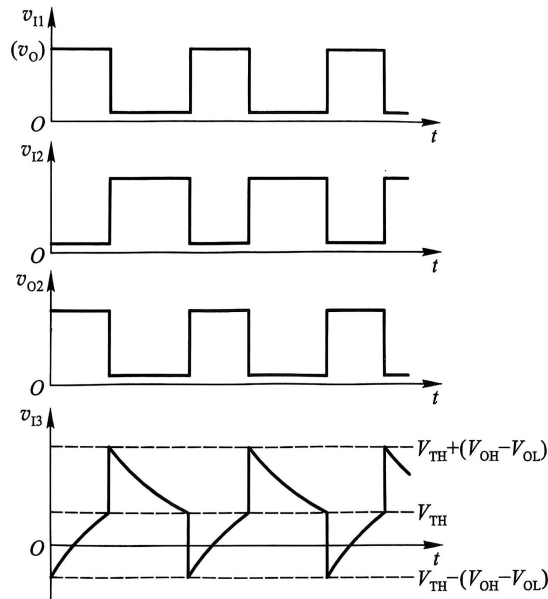


图 6.30: 带 RC 延迟的环形振荡电路波形

6.4.4 用施密特触发电路构成的多谐振荡电路

利用施密特电路的滞回特性, 只需要使输入电压在阈值电压之间反复变化, 就可以在输出端得到矩形脉冲。因此只需要将施密特触发电路的反相输出端经 RC 积分电路接回输入端即可。

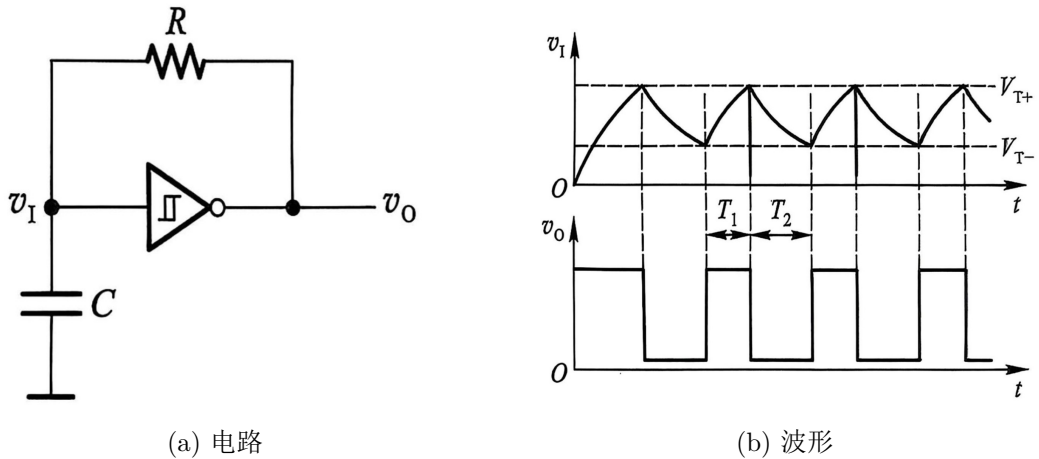


图 6.31: 施密特触发器构成的多谐振荡电路

由于电容的充放电，施密特触发电路的电压在 V_{T+} 和 V_{T-} 之间反复跳变。振荡周期为

$$T = T_1 + T_2 = RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + RC \ln \frac{V_{T+}}{V_{T-}} = RC \ln \left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \frac{V_{T+}}{V_{T-}} \right)$$

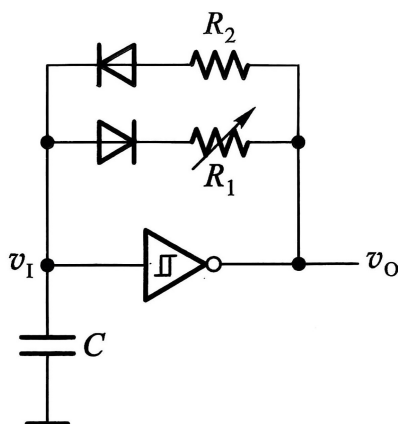


图 6.32: 施密特触发器构成的占空比可调的多谐振荡电路

6.4.5 用 555 定时器接成的多谐振荡电路

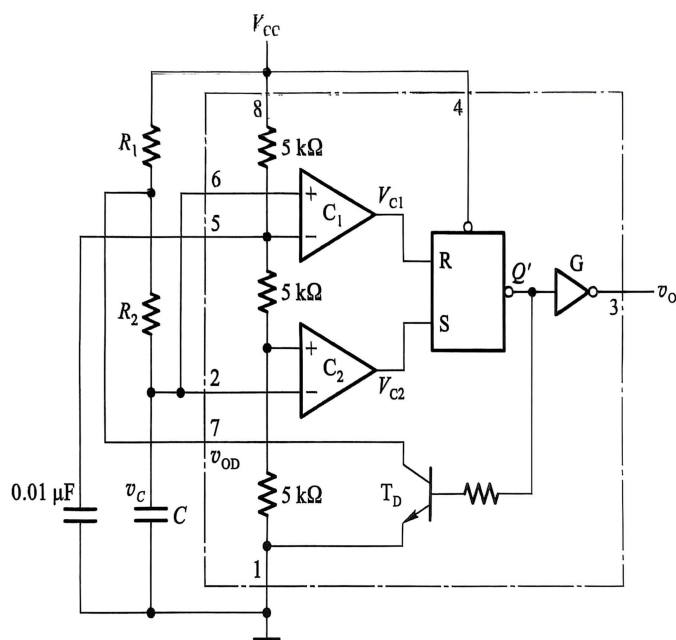


图 6.33: 555 定时器接成的多谐振荡电路

将 2 脚（比较器 C_2 输入端）和 6 脚（比较器 C_1 输入端）接到一起构成施密特触发电路，通过 R_1, R_2 两个电阻上拉到 V_{CC} ，7 脚（放电管输出端）通过 R_1 与 V_{CC} 相连，电容 C 接在 R_2 和地之间构成反馈回路。

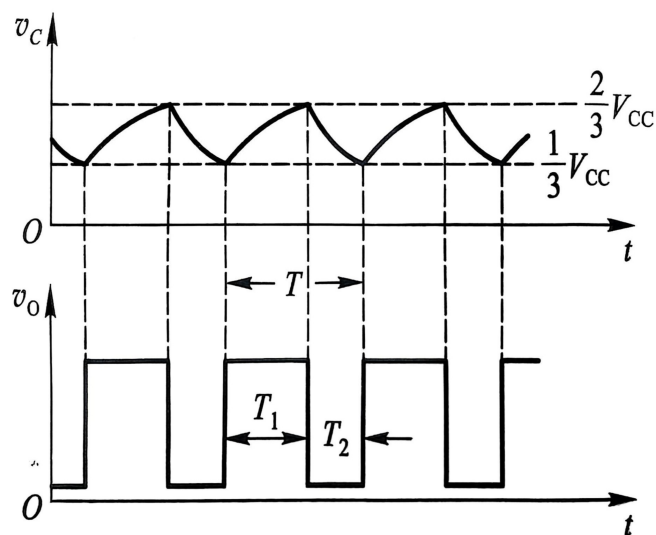


图 6.34: 555 定时器接成的多谐振荡电路的波形

由 V_{CC} 经 R_1, R_2 对电容充电, 电容经过 T_D 和 R_2 进行放电。输出周期为

$$T = T_1 + T_2 = (R_1 + R_2)C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_2 C \ln \frac{0 - V_{T+}}{0 - V_{T-}} = (R_1 + 2R_2)C \ln 2$$

则占空比为

$$q = \frac{T_1}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

可以看出占空比始终大于 50%。为了得到小于等于 50% 占空比的多谐振荡电路, 可以接入二极管改变充电放电电流回路来实现。

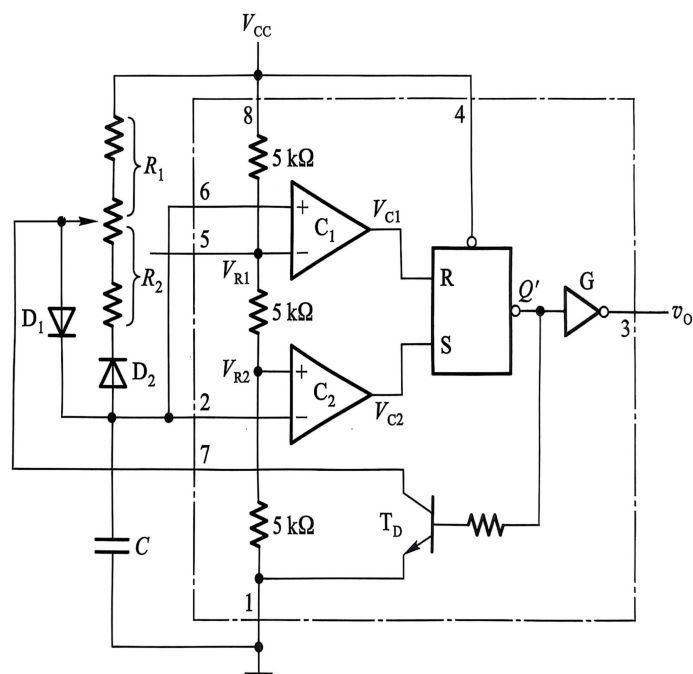


图 6.35: 555 定时器接成的占空比可调的多谐振荡电路

振荡周期 $T = (R_1 + R_2)C \ln 2$, 占空比 $q = \frac{R_1}{R_1 + R_2}$

7 D/A 和 A/D 转换

7.1 D/A 转换器

7.1.1 权电阻网络 D/A 转换器

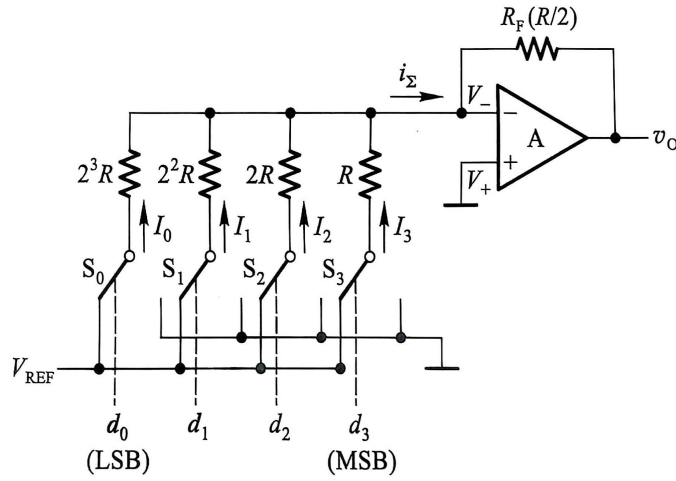


图 7.1: 4 位权电阻网络 D/A 转换器

对于 4 位权电阻网络 D/A 转换器, 4 个电子开关分别受 d_3, d_2, d_1, d_0 控制, 代码为 1 时接到 V_{REF} , 代码为 0 时接地。求和放大器是一个负反馈运算放大器, 当运放为理想运放时, 各支路的电流为 $I_i = \frac{V_{REF}}{2^i R} d_i$, 则

$$v_o = -R_F(I_3 + I_2 + I_1 + I_0) = -\frac{V_{REF}}{2^4}(d_3 2^3 + d_2 2^2 + d_1 2^1 + d_0 2^0)$$

n 位 D/A 转换器, 反馈电阻为 $R/2$ 时, 有 $v_o = -\frac{V_{REF}}{2^n} D_n$

权电阻网络 D/A 转换器的优点是结构简单, 电阻元件数少, 缺点是电阻阻值差异大, 位数越多越突出。为此可以采用双级权电阻网络 D/A 转换器减小电阻阻值差异。

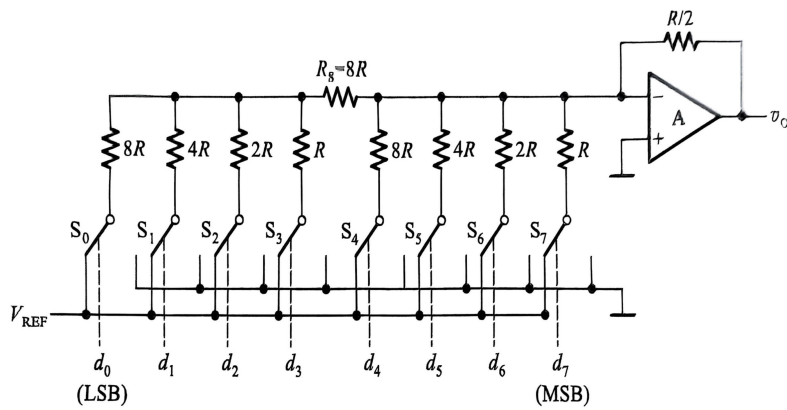


图 7.2: 8 位双级权电阻网络 D/A 转换器

7.1.2 倒 T 形电阻网络 D/A 转换器

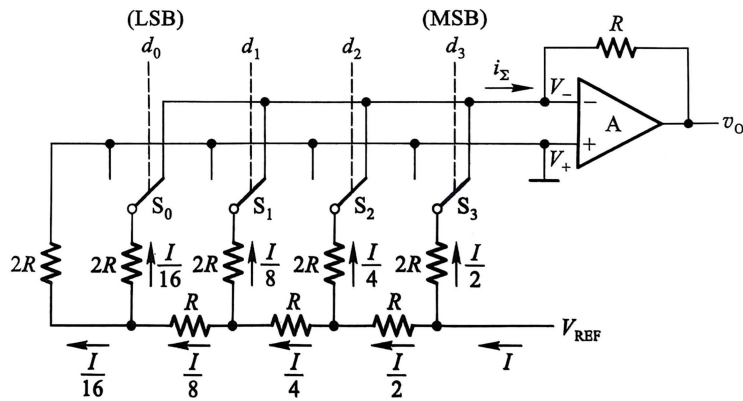


图 7.3: 倒 T 型电阻网络 D/A 转换器

从每个端口向左看等效电阻都是 R ，参考电源流入倒 T 形网络的总电流 $I = V_{REF}/R$ ，每个支路依次为 $I/2$ 、 $I/4$ 、 $I/8$ 和 $I/16$ 。则

$$i_{\Sigma} = \frac{I}{2}d_3 + \frac{I}{4}d_2 + \frac{I}{8}d_1 + \frac{I}{16}d_0$$

则 $v_o = Ri_{\Sigma} = -\frac{V_{REF}}{2^4}D_4$

倒 T 形电阻网络 D/A 转换器的优点是所需电阻都是 R 和 $2R$ 的，方便集成。

7.1.3 转换精度与转换速度

转换精度

分辨率用输入二进制数码的位数给出， n 位 D/A 转换器可以分辨出 2^n 个不同的状态。

也可以用最小电压和最大输出电压之比给出分辨率， $\frac{1}{2^n - 1}$ 表示。

转换误差

转换误差一般用最低有效位 LSB 的倍数表示，有时也用输出电压满刻度 FSR 的百分数表示。

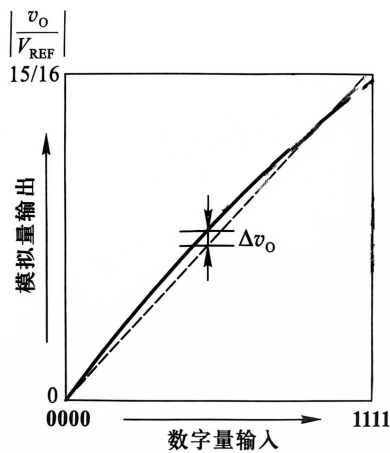


图 7.4: D/A 转换器的转换特性曲线

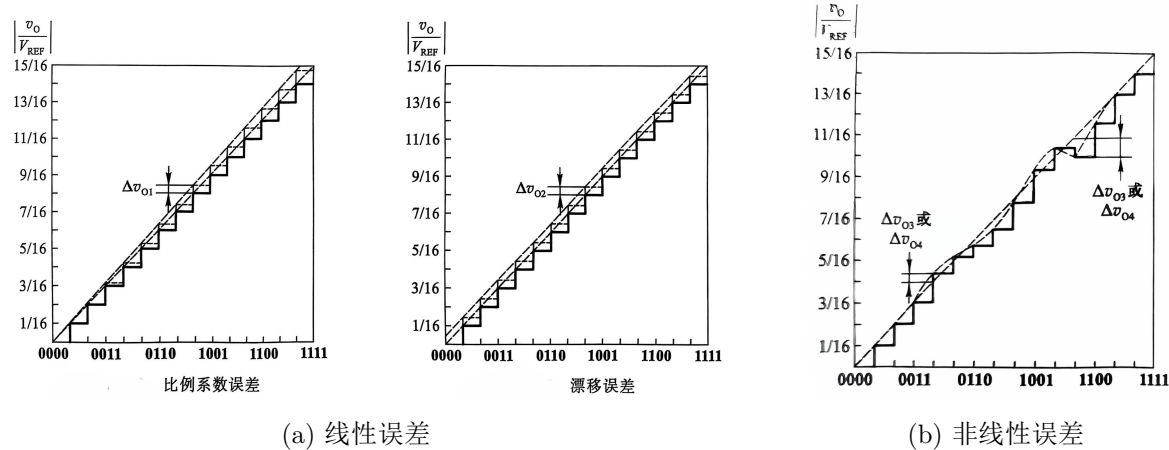


图 7.5: D/A 转换器的转换误差

- 由参考电压的变化引起的误差与数字量大小成正比，称为比例系数误差。
- 由运放零漂造成的误差与输入数字量大小无关，特性曲线发生平移，称为漂移误差或平移误差。
- 由于开关导通内阻和压降都不为零造成的误差与很多因素有关，称为非线性误差。

转换速度

通常用建立时间 t_{se1} 来描述转换速度。从输入数字量发生突变开始，到输出电压进入与稳态值相差 $\pm \frac{1}{2}$ LSB 范围内的这段时间称为建立时间。

7.2 A/D 转换器

7.2.1 基本原理

取样定理：为保证能从取样信号中将原来的被取样信号恢复，必须满足 $f_s \geq 2f_{i(max)}$ ，其中 f_s 为取样频率， $f_{i(max)}$ 为模拟信号最高频率分量的频率。

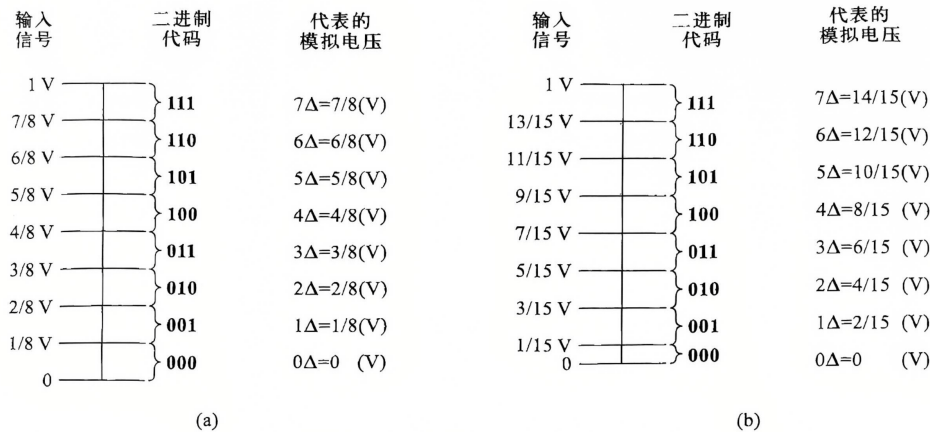


图 7.6: 两种量化等级的划分

数字量的大小只能是某一个最小数量单位的整数倍，A/D 转换时必须将取样电压表示为最小单位的整数倍，称为量化。量化时的最小单位称为量化单位，用 Δ 表示。数字信号最低有效位 LSB 的 1 所代表的数量大小就为 Δ 。模拟电压不连续会产生量化误差，不同量化等级的划分会有不同的量化误差。

将量化结果用代码表示出来，称为编码。

7.2.2 并联比较型的 A/D 转换器

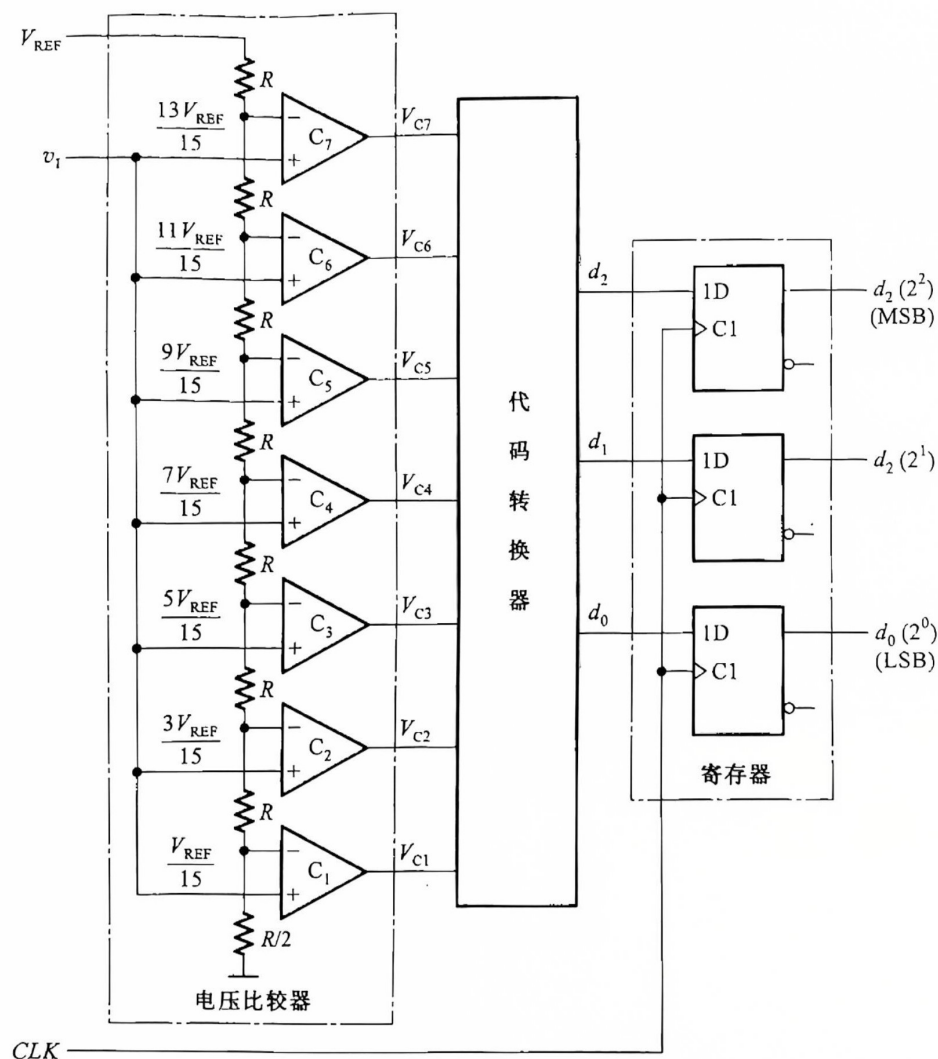


图 7.7: 并联比较型的 A/D 转换器

又称闪速 A/D 转换器 (Flash ADC)，不需要经过中间变量直接将模拟量转换为数字量。

通过比较器得到 7 位二值代码再经过代码转换器转换为二进制数。

优点是转换速度快，缺点是需要使用比较多的电压比较器和代码转换电路。

7.2.3 逐次逼近型 A/D 转换器

取一个数字量加到 D/A 转换器上，得到一个对应的输出模拟电压，将这个模拟电压与输入的信号进行比较，不相等就调整数字量直到两者相等为止。

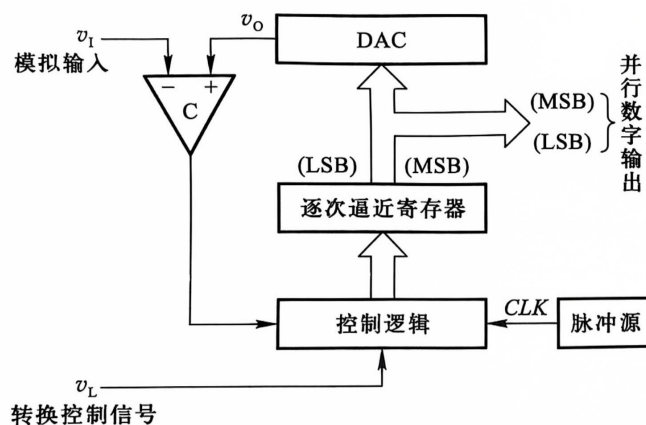


图 7.8: 逐次逼近型 A/D 转换器

电路主要包含比较器、D/A 转换器、寄存器、时钟脉冲源和控制逻辑五个部分。转换开始前先清零寄存器，从最高位置 1 开始逐次逼近，直到得到最终结果。转换速度比并联比较型的低，但所需规模比并联比较型小很多。

7.2.4 转换精度和转换速度

分辨率以输出二进制数或十进制数的位数表示。

转化误差以输出误差最大值形式给出，一般以 LSB 的倍数给出，有时也可以用 MSB 的百分数给出。

转换时间是指一次转换所需要的时间，转换速率是单位时间内能完成转换的次数，都可以表示转换速度。